

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

8  
PCT/JF98/01431

09.06.98

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

REC'D 19 JUN 1998

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application: 1998年 2月27日

出 願 番 号

Application Number:

平成10年特許願第046827号

出 願 人

Applicant (s):

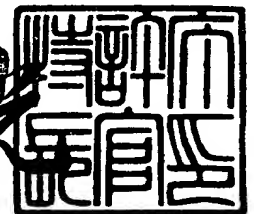
株式会社日立製作所

PRIORITY DOCUMENT

1998年 4月17日

特 許 庁 長 官  
Commissioner,  
Patent Office

荒井 寿光



出証番号 出証特平10-3027753

【書類名】 特許願  
【整理番号】 1198008451  
【提出日】 平成10年 2月27日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/04  
H04B 14/06  
【発明の名称】 モノリシックアイソレータ及びこれを応用したモデム装置、通信システム

【請求項の数】 36

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 行武 正剛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 小嶋 康行

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 根本 峰弘

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 網代 優次

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 岩崎 貴之

【発明者】

【住所又は居所】 東京都青梅市今井 2 3 2 6 番地  
株式会社 日立製作所 デバイス開発センタ内

【氏名】 三谷 真一郎

【発明者】

【住所又は居所】 東京都青梅市今井 2 3 2 6 番地  
株式会社 日立製作所 デバイス開発センタ内

【氏名】 古川 且洋

【発明者】

【住所又は居所】 東京都青梅市今井 2 3 2 6 番地  
株式会社 日立製作所 デバイス開発センタ内

【氏名】 鎌田 千代士

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
株式会社 日立製作所 日立研究所内

【氏名】 渡辺 篤雄

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
株式会社 日立製作所 日立研究所内

【氏名】 大内 貴之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
株式会社 日立製作所 日立研究所内

【氏名】 金川 信康

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100068504

特平 10-046827

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

---

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【ブルーフの要否】 要

---

【書類名】 明細書

【発明の名称】 モノリシックアイソレータ及びこれを応用したモデム装置、通信システム

【特許請求の範囲】

【請求項 1】

DAA 手段、アナログフロントエンド手段、変調復調手段、伝送制御手段、応用制御手段、回線と応用制御手段との間の絶縁手段からなり、

該絶縁手段として、モノリシックアイソレータを用いたことを特徴とするモデム装置。

【請求項 2】

DAA 手段、アナログフロントエンド手段、インターフェイス手段、応用制御手段、回線と応用制御手段との間の絶縁手段からなり、

該絶縁手段として、モノリシックアイソレータを用いたことを特徴とするモデム装置。

【請求項 3】

複数のアイソレータを上記アナログフロントエンド手段に内蔵したことを特徴とする請求項 1 あるいは請求項 2 記載のモデム装置。

【請求項 4】

上記アナログフロントエンド手段に変調復調手段を内蔵したことを特徴とする請求項 1 あるいは請求項 2 記載のモデム装置。

【請求項 5】

アナログフロントエンド手段に複数のアイソレータ及び変調復調手段を内蔵したことを特徴とする請求項 1 あるいは請求項 2 記載のモデム装置。

【請求項 6】

請求項 1 または請求項 2 記載のモデム装置と応用制御手段とが接続される通信システムにおいて、モデム装置と応用制御手段との間をシリアルバス接続する手段として、モデム部と応用制御手段の双方にシリアルバス接続ハード及びシリアルバス伝送ソフトからなるインターフェイス手段を用いることを特徴とする通信システム。

【請求項 7】

ネットワークコントロール及び応用回路手段、トランシーバ手段、ネットワークコントロール手段と応用回路手段との間の絶縁手段、電源レギュレータ手段、少なくともこれらを含むステーションと1つ以上の他のステーションとネットワーク手段からなり、

該絶縁手段としてモノリシックアイソレータを用いたことを特徴とする通信システム。

【請求項 8】

複数のモノリシックアイソレータと、ネットワークコントロール及び応用回路手段、あるいはトランシーバ手段と、あるいはこれら両方とを1チップに集積化したことを特徴とする請求項 7 記載の通信システム。

【請求項 9】

少なくとも AFE と端末側回路と複数の容量性アイソレータと回線側回路とを含むモデム装置において、複数の容量性アイソレータを絶縁分離領域を有する半導体基板内にモノリシック化したことを特徴とするモデム装置。

【請求項 10】

DSP と AFE, AFE と端末側回路, 端末側回路と複数の容量性アイソレータ, 複数の容量性アイソレータと回線側回路とを各々接続し、各回路の動作タイミングを DSP の動作クロックと同期させたことを特徴とするモデム装置。

【請求項 11】

AFE 内の AD 変換, DA 変換回路を回線側回路に一体化し、また、AFE の残りの回路を端末側回路と一体化させたことを特徴とする請求項 9 記載のモデム装置。

【請求項 12】

各回路の動作クロック入力をモデム回路から供給するようにしたことを特徴とする請求項 10 記載のモデム装置。

【請求項 13】

モデム信号受信用のアイソレータの搬送波クロックを直流閉結制御信号バス用クロックから再生して用いることを特徴とする請求項 10 記載のモデム装置。

## 【請求項 14】

絶縁バリヤを使用したチャージポンプ回路によってCMOSスイッチを駆動して直流閉結を制御するようにしたことを特徴とする請求項9記載のモデム装置。

## 【請求項 15】

直流閉結制御信号をオンすることによって着信検出信号パスを制御することを特徴とする請求項9記載のモデム装置。

## 【請求項 16】

制御信号と音声帯域信号とをマルチプレクスすることにより、容量性アイソレータを、上り用および下り用の1組としたことを特徴とする請求項9記載のモデム装置。

## 【請求項 17】

音声帯域信号を圧縮することにより、制御信号とマルチプレクスしてもアイソレータのクロック周波数を増大させないようにしたことを特徴とする請求項15記載のモデム装置。

## 【請求項 18】

制御信号を誤り訂正符号化してマルチプレクスすることを特徴とする請求項17記載のモデム装置。

## 【請求項 19】

同一半導体基板に、2つ以上の領域を有し、前記2つ以上の領域の各々が、高い絶縁耐圧を有して絶縁分離され、

第一の領域と、第二の領域との間に、

容量結合による信号伝送を担う、高い絶縁耐圧を有するキャパシタ素子を設け

前記キャパシタ素子の電極ノードが、

第一の領域上から第二の領域上にまでまたがって形成したことを特徴とするアイソレータ。

## 【請求項 20】

同一半導体基板に、2つ以上の領域を有し、前記2つ以上の領域の各々が、高い絶縁耐圧を有して絶縁分離され、

第一の領域と、第二の領域との間に、

容量結合による信号伝送を担う、高い絶縁耐圧を有するキャパシタ素子を設け

前記キャパシタ素子は、2つ以上のキャパシタを直列接続で構成し、直列接続されたキャパシタの中間電極ノードが、

第一の領域上から第二の領域上にまでまたがって形成したことを特徴とするアイソレータ。

【請求項 21】

請求項 19 ないし請求項 20 に記載のアイソレータにおいて、

前記キャパシタが、シリコン基板に形成した拡散層と、メタル層とを電極とし

前記電極の間に 2 層以上の層で形成した絶縁物を用いて絶縁耐圧を確保することを特徴としたアイソレータ。

【請求項 22】

請求項 19 ないし請求項 20 に記載のアイソレータにおいて、

前記キャパシタが、シリコン基板に形成した拡散層と、ポリシリコン層とを電極とし、前記電極の間に形成する熱酸化膜を用いて絶縁耐圧を確保することを特徴としたアイソレータ。

【請求項 23】

請求項 19 ないし請求項 20 に記載のアイソレータにおいて、

前記キャパシタが、2 層のメタル層を電極とし、前記電極の間に形成する層間膜を用いて絶縁耐圧を確保することを特徴としたアイソレータ。

【請求項 24】

請求項 22 に記載のアイソレータにおいて、

前記熱酸化膜形成前に段差緩和のためのエッチングプロセスを施したことを特徴としたアイソレータ。

【請求項 25】

請求項 19 から請求項 24 に記載のアイソレータにおいて、

半導体基板に SOI (Silicon on Insulator) 基板を用い、SOI 基板の表面

からSOI埋込酸化膜に達するトレンチ状の絶縁物を形成することで領域間の絶縁分離をしたことを特徴としたアイソレータ。

【請求項26】

請求項22記載のアイソレータにおいて、  
絶縁分離のためのトレンチ状の絶縁物を、容量結合による信号伝送を担う、高い絶縁耐圧を有するキャパシタ素子の絶縁物として用いたことを特徴としたアイソレータ。

【請求項27】

請求項19から請求項24記載のアイソレータにおいて、  
DI (Di-electric Isolation) 基板を用いて領域の絶縁分離することを特徴としたアイソレータ。

【請求項28】

SOI基板上に形成した全ての回路領域を一まとめにして、その最外周を絶縁帯で囲んだことを特徴とする請求項25記載のアイソレータ。

【請求項29】

回路領域の内部を、絶縁帯によってさらに電源に直接接続する回路領域及び接地端子に直接接続する領域とに分離し、夫々絶縁帯で囲んだ回路領域としたことを特徴とする請求項25記載のアイソレータ。

【請求項30】

容量結合による信号伝送を担う入力回路及び出力回路には各々PWM変調回路及びPWM復調回路を含むことを特徴とする請求項19記載のアイソレータ。

【請求項31】

容量結合による信号伝送を担う入力回路及び出力回路には各々 $\Sigma\Delta$ 変調回路及び $\Sigma\Delta$ 復調回路を含むことを特徴とする請求項19記載のアイソレータ。

【請求項32】

容量結合による信号伝送を担う入力回路及び出力回路には各々 $\Sigma\Delta A/D$ 変換回路及び $\Sigma\Delta D/A$ 変換回路を含むことを特徴とする請求項19記載のアイソレータ。

【請求項 33】

容量結合による信号伝送を担う入力回路及び出力回路には各々 $\Sigma\Delta$ AD変換回路及びデジタル再生回路を含むことを特徴とする請求項19記載のアイソレータ。

【請求項 34】

容量結合による信号伝送を担う入力回路及び出力回路には各々デジタルドライバ回路及び $\Sigma\Delta$ DA変換回路を含むことを特徴とする請求項19記載のアイソレータ。

【請求項 35】

絶縁バリヤと入力回路及び出力回路との間に非線型素子で構成した保護回路を配置したことを特徴とする請求項19記載のアイソレータ。

【請求項 36】

回路領域をCMOS回路とし、該回路領域を、絶縁帯によってさらにPMOS領域及びNMOS領域に分離したことを特徴とする請求項25記載のアイソレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

半導体素子、半導体素子上に形成したキャパシタ、特に高電圧を印加しても、素子を破壊せず危険電圧が二次側に通過しない高耐圧のキャパシタである絶縁バリヤ、この絶縁バリヤを用いて電気信号を伝達する絶縁カプラ、絶縁アンプあるいはアイソレータ（以下、アイソレータと称す）、及び、これを用いたモデム回路、特に回線インターフェイス回路およびそのIC、及び、これらを用いたモデム装置ならびに通信システムに関する。

【0002】

【従来の技術】

通信分野では、公共性の高いネットワーク設備の保護と端末の保護のために、ネットワークと端末の境界（以下、回線インターフェイスと称す）に高い絶縁性を要求しており、従来から絶縁性の高い通信用の小型トランスが使われてきた。

しかし、パーソナル端末の普及発展に伴いポータブル端末用として更なる小型化及び軽量化が要求されており、トランスに使用する材料や構造の改良では小型化の要求に十分答えられない問題が出てきて、アイソレータの応用が検討されている。

#### 【0003】

また、計測、医療などの用途では、センサと信号処理回路など、信号検出部分と信号処理部分とに絶縁を要する場合があります、アイソレータは、このような場合に、絶縁分離手段として知られている。

#### 【0004】

これらは、信号電圧が100mV程度であるのに対して、商用電源が接触する場合も想定しているのでコモンモード雑音電圧は100Vあるいはそれ以上の電圧が加わる場合がある。これらの点からアイソレータと回線インターフェイスは、高耐圧、小型化、低価格化という観点で共通的な課題がある。

#### 【0005】

アイソレータは、絶縁トランスの機能そのものでもあるが、信号伝達時に雑音の混入する問題があり、例えば、商用電源からの大きなコモンモード雑音電圧が加わると小信号伝送用のトランスでは信号伝送の用をなさない場合があります、専用のパルストランスを用いたトランス型アイソレータが使われている。また、絶縁トランスを用いたアイソレータは、一般にその実装形態が大きくなり、また、高価になりがちである。

#### 【0006】

これを改善するために、発光素子と受光素子を組み合わせた光カプラを用いた絶縁増幅器が考案された。しかし、光カプラ型絶縁増幅器は、温度などで特性が変化しやすく、高精度化のために、発光受光ダイオードの数や配置、回路等の改善が提案されているが、高価である。また、ユーザーからは、更に小型化の要求があるが、特に、モノリシック半導体化しようとする、シリコン半導体プロセス以外に発光、受光用の他の物質の半導体プロセスが必要で、何種類もの製造プロセスを使用することにより著しく高価になることが予想され現実的には実現できない。

【0007】

小型化，高信頼化，低価格化の目的で、容量性アイソレータが開発されている。絶縁バリヤを構成する個別部品としての高耐圧のキャパシタ技術は電力用あるいはサージ保護用セラミックキャパシタが知られており、これを用いた信号伝送用の回路ブロックは容量性絶縁アンプまたは容量性アイソレータと呼ばれ、1970年代から使われている。

【0008】

容量性絶縁バリヤを通じて信号を伝送する際の伝送方式には、主にPWM方式（パルス幅変調方式あるいはデューティ制御方式と呼ばれる）が使われるが、PWM技術は、この容量性アイソレータに使われる以前に、絶縁トランスや光カプラを用いた絶縁バリヤの構成技術として知られている。

【0009】

容量性アイソレータでは、さらに、小型化，低価格化，高信頼化を目的として、セラミック基板上に形成した小容量キャパシタの絶縁バリヤとフローティングコンパレータを用いて、デューティサイクル変調方式の絶縁増幅器が提案されている。また、さらに小型化するために容量値を下げる提案があり、約1ないし3 pFと小さい絶縁バリヤを用いて伝達波形を微分波形とし、微分波形からFM（周波数変調）やPWM変調波形を再生してから、復調する絶縁増幅器の技術が提案されている。

【0010】

モデム等の回線インターフェイス応用では、USP4,757,528 [Thermally coupled Information transmission across electrical Isolation boundaries. ]（以下528特許と称す）及びISSCC86 conference record THPM14.3（以下“発表”と称す）で、Scott L. Falater (Harris Semiconductor) らは、容量性絶縁バリヤを用いたモノリシック半導体化のアイディアについて開示している。

【0011】

また、モノリシック化ではないが、特開平7-307708号公報では、3つの容量性絶縁バリヤとこれを用いたデジタルPWM信号伝送のモデム応用回路方式が提案されている。

## 【0012】

今後、これらの回路は、さらに、小型化、低価格化の要求があり、この観点で、これら従来技術を検討すると以下のような課題と問題点がある。

## 【0013】

528特許以前の技術は、高耐圧性能を有する絶縁バリヤと、入力信号を受けてPWM波形を作成する入力回路と、PWM波形を再生し復調する出力回路とは別部品であり、これらを組み合わせて実装し、1つのアイソレータとして構成している。例えば、セラミック基板上に容量性絶縁バリヤを構成し、同一パッケージ上に、2つ以上の半導体チップを実装して、アイソレータを構成している。つまり、多くの部品を使用した構成になっている。

## 【0014】

また、528特許及び発表では、モノリシック半導体で応用回路である回線インターフェイスを構成するアイデアとして、原理となる回路模式図と説明によって容量性絶縁バリヤとPWM伝送方式を用いることが示されている。また製法は、モノリシック半導体上にDI（誘電体分離）プロセスによる容量性絶縁バリヤとPWM回路からなるアイソレータを形成し、このアイソレータを組み合わせて、音声帯域の信号を伝送するとしている。しかし、開示されているのは熱パルスによる絶縁スイッチの制御に関する技術であり、モノリシック半導体基板上に、どのような構造の絶縁バリヤや回路を、どのような方法によって構成するのか、その結果どのように動作して、どのような効果を示すのかは開示されていない。

さらに、特開平7-307708号公報では、従来1つの伝送パスに2つの絶縁バリヤが使われてきたのに対して、3つの容量性絶縁バリヤで3つの信号を伝送する回路構成が示されているが、どのように動作させて信号伝送するのかは示されていない。もちろん、これらの回路を絶縁バリヤを含めてモノリシック化する提案はない。

## 【0015】

## 【発明が解決しようとする課題】

ユーザーは、通信システム、モデム装置等の更なる小型化と低価格を要求している。この実現のためには実装形態が大きく、また、部品点数も多い、従来のト

ランス及びホトカプラに置き代わるアイソレータ機能の小型化が必要である。このことから、アイソレータ機能のモノリシック化を進めることが必要不可欠だと考えられる。しかしながら、以上のような従来の技術は、モノリシック IC 化アイソレータ、モノリシック IC 化応用回路、及び、モノリシック IC 化回線インターフェイス回路を実現するに当たって、容量性絶縁バリヤ、容量性絶縁バリヤを用いるための回路、それらの配置、配置した回路間の絶縁方法などを、半導体基板の上に、どのように構成して、どのように動作させるのかの技術については、開示されていない。従って、モノリシック IC 化する際にどのようにして絶縁耐圧を実現するのか、また半導体上に作成した高耐圧容量の特性もまったく知られていない。

【0016】

また、複数のアイソレータを同時に並行して動作させる場合には、一般に、あるアイソレータの動作によって定常的にノイズが発生し、発生するノイズにより他のアイソレータにクロストークが生じてアイソレータの伝送特性に影響し、これによって、絶縁バリヤを経由して伝送する信号の S/N が劣化する。特にモデム応用のように信号レベルが小さい上に、上りと下りの信号の振幅が大きく違う場合には小さなクロストークも問題である。しかし、これらの問題点に着目して対応した公知技術はない。

【0017】

本発明の目的は、通信機器、特にモデム装置におけるアイソレータ機能の小型化を実現する手段を提供することにある。

【0018】

本発明の他の目的は、モノリシックの絶縁バリヤ、及び、該絶縁バリヤを用いたアイソレータ IC、及びこれを用いた応用回路 IC、特に回線インターフェイス回路 IC を実現することにある。

【0019】

本発明のさらに他の目的は、半導体基板上に容量性絶縁バリヤを構成する技術を提供することにある。

## 【0020】

本発明のさらに他の目的は、半導体基板上に容量性絶縁バリヤを用いたアイソレータを構成する技術を提供するにある。

## 【0021】

本発明のさらに他の目的は、半導体基板上に該アイソレータを複数用いた応用回路とくに回線インターフェイスにおいて、その構造、配置、動作方法を提供する。さらに、アイソレータ間のタイミングの同期方法などタイミングハザードやクロストークによる信号の劣化を低減する技術を提供するにある。

## 【0022】

本発明のさらに他の目的は、該アイソレータを用いて回線インターフェイスを構成するに対して、回線で通信しないときに低漏洩電流を実現することにある。

本発明のさらに他の目的は、該アイソレータにおけるサージ電圧に対する破壊耐力改善技術を提供するにある。

## 【0023】

本発明のさらに他の目的は、該アイソレータを使用することによってモデム装置を小型化することにある。

## 【0024】

## 【課題を解決するための手段】

本発明では、モデム装置の小型化の手段として、回線側とホスト側との間に、アイソレータ機能をモノリシック化した絶縁分離を手段を用いるものとする。

## 【0025】

また、アイソレータをモノリシック化するために、絶縁層を内層とする半導体ウェーハ、例えば、SOI基板を用いて、ウェーハ表面上のSi層にウェーハ表面から垂直方向に、埋込酸化膜（内層された絶縁層）まで達する帯状の絶縁物（以下絶縁帯と称す）を形成し、更に、素子表面に保護膜である絶縁物を形成することにより、1次側の回路領域と、2次側の回路領域とを絶縁分離する。また、他の絶縁分離手段としてはDI基板を用いるものとする。

## 【0026】

更に1次側と2次側とを高い絶縁耐圧を有して容量性の結合する容量性絶縁バ

リヤ（キャパシタ）は以下のような手段で構成する。第1の手段としては、1次側と2次側との間にキャパシタを直列接続で構成することにより、所望の絶縁耐圧に対し、キャパシタ1個当たりの絶縁耐圧の低減を可能にする。また、直列接続したキャパシタは、1次側の回路領域から2次側の回路領域に渡って形成する中間電極で折り返すことで直列接続したキャパシタを対称にレイアウトすることができる。また、第2の手段としては、該絶縁帯の側壁を電極としたキャパシタをもって構成する。

【0027】

なお、本発明のアイソレータでは、キャパシタ出力を受ける回路には少なくともキャパシタ出力信号用の増幅回路を設ける。また、モデム回路用の回線インターフェイス回路では、複数の容量性アイソレータと回線側回路と端末側回路とを設けたモノリシック回線インターフェイスICをDSPとAFEとからなるモデム回路と接続して動作させるに、DSPとAFEとこれらアイソレータの動作クロックのタイミングの同期を取ることで実現する。

【0028】

このようにすることで、1次側と2次側との間の高耐圧絶縁ならびに、高耐圧の容量性絶縁バリヤを実現し、増幅器によってストレーキャパシタによる信号の劣化を補正し、動作タイミングを同期することによってクロストークによる信号の劣化を低減して、小型で高性能なアイソレータ及びモデムインターフェイス回路を実現することができる。

【0029】

以下さらに、本発明について、若干具体的に説明する。

【0030】

本発明では、絶縁層を内層とする半導体ウェーハを加工して、絶縁バリヤ、アイソレータ、アイソレータの応用回路、特に回線インターフェイス回路を形成し、必要に応じて絶縁層と配線層を重ねて、さらに、絶縁を兼ねた保護層を形成して半導体ICとする。各回路は、絶縁層と絶縁帯と絶縁保護層で囲み、絶縁する。絶縁帯とは、例えば半導体層の表面から絶縁層に達する1ないし3ミクロン幅程度の帯状の絶縁パターンであり（厚さは半導体層の厚みに等しく、例えば10

ないし50ミクロンになる)、絶縁帯は、半導体面から絶縁内層に達する所定パターンの溝を形成しこれを絶縁物で埋め込むトレンチ法、また、半導体層に酸素イオンを打込んで絶縁領域を作成するイオン打込み法などによって形成する。絶縁バリアの形成には絶縁帯を用いる他に、拡散層と配線層や配線層間の絶縁のための層間膜を用いる場合もある。以下、絶縁帯で囲んだ部分を電極領域、回路領域などと“領域”を付けて称す。また、回路領域の分離のためにDI基板を用いる場合もある。

#### 【0031】

本発明のアイソレータの回線インターフェイス応用では、複数のアイソレータを内蔵する必要があるが、この場合、複数の容量性アイソレータと回線側回路と端末側回路とを設けたモノリシック回線インターフェイスICをDSPとAFEとからなるモデム回路と接続して動作させるに、DSPとAFEとこれらアイソレータの動作クロックのタイミングの同期を取る。また、モデム信号受信用のアイソレータの搬送波クロックは、直流閉結制御信号伝達用カプラのクロックから再生して用いる。また、直流閉結制御は、絶縁バリアを使用したチャージポンプ回路によってCMOSスイッチを駆動して直流閉結する。

#### 【0032】

本発明のアイソレータにおける絶縁バリアは、絶縁帯で囲んで電極領域を形成し、複数の電極領域が絶縁帯の一部を共有するように、また、共有長が必要な容量値を得る長さになるように配置してキャパシタを構成する。なお、3つ以上の電極領域が2つ以上の絶縁領域を共有するように絶縁帯の形状及び配置を設定することによって、直列接続したキャパシタを形成するようにしてもよい。また、絶縁内層は、該絶縁帯の幅に対応した絶縁性能を持つ厚さとする。

#### 【0033】

本発明のアイソレータは、該絶縁バリアと入力回路と出力回路とを同一ウェーハ上に形成することで実現する。各回路は、各々絶縁帯で囲んで他の部分と絶縁する。絶縁バリアは、原則として入力回路領域及び出力回路領域の境界に配置する。また、これらの回路領域と絶縁バリアを一まとめにしてさらに絶縁帯で囲むようにする。入力回路及び出力回路には各々PWM変調回路及びPWM復調回路

、あるいは、目的によっては、他の回路、例えば、音声周波数帯の信号では $\Sigma\Delta$ 変調回路及び復調回路など、振幅方向だけではなく時間軸方向もデジタル化した回路を含める。なお、絶縁バリヤと入力回路及び出力回路との間にダイオードなどの非線型素子で構成した保護回路を配置する。保護回路は回路領域の内部に配置する。

【0034】

本発明の応用回路は、さらに、アイソレータに、さらに、絶縁帯で囲んだ応用回路領域を配置することで実現する。複数の該アイソレータを含む場合には、絶縁バリヤを絶縁バリヤ配列ラインに沿って配列してもよい。複数のアイソレータを動作させる場合には、搬送クロックは必要に応じて同期させる。回線インターフェイス回路への該アイソレータの応用では回路領域にCMOS回路を含むように、特に、CMOS回路領域をさらに電源線に接続するPMOSグループ及び接地線に接続するNMOSグループに分けて、絶縁帯によって分離してもよい。電源配線は複数のアイソレータ間にレイアウトする。各アイソレータの周囲を電源線及び接地線で囲んでもよい。例えば、CMOS回路にすると、制御電流が不要な電圧制御、および、高オフ抵抗が得られる利点がある一方で寄生トランジスタを含めたPMOSとNMOSの貫通現象つまりラッチアップが生じがちであるがこのように領域を分離することで生じにくくできる利点がある。

【0035】

絶縁内層ウェーハを用いることで厚さ方向の高耐圧を実現し、同一ウェーハ上に共有する絶縁帯持つ2つの電極領域を形成することで極めて小型の絶縁バリヤを実現し、また、同一ウェーハ上に該絶縁バリヤと入力回路及び出力回路の2つの回路領域を形成することで極めて小型のアイソレータを実現できる。さらに、電極領域を重ねることで容量を直列に接続して水平方向の高耐圧を実現することにより、プロセスの制約から、1つの絶縁帯の幅を広げられない場合でもさらなる高耐圧を実現できる。さらに、直列容量の配置に際して中間電極をフローティングとすることで強電界部分の跨ぎ配線を少なくすることができる。

【0036】

複数のアイソレータを用いる応用の場合には、電極及び絶縁帯など容量性絶縁

バリヤの配置を揃えることで、絶縁性能を均質にすることができる。

#### 【0037】

回線インターフェイス応用の場合に、複数のアイソレータの搬送クロックを同期化することで、伝送信号へのPWMクロストークを最小にすることができる。また、回路方式をCMOS回路方式とすることで、回線接続スイッチである直流閉結の制御回路を、チャージポンプを用いて、電圧制御することができる。CMOS回路方式は、オフ時のスイッチの高インピーダンスを実現し、低漏洩電流を実現する。なお、絶縁バリヤの各端子には外部接続端子と同様に保護回路を設けることで、サージ雑音によるデバイス破壊を防止することができる。

#### 【0038】

##### 【発明の実施の形態】

以下、実施例にしたがって本発明を説明する。

#### 【0039】

図1から図9を用いて本発明の一実施例であるモデム装置について説明する。

図1は本発明の一実施例のモデム装置の回路ブロック図であり、図1において、1はモデム、2は回線インターフェイス回路であり、モデム1はDSP (Digital Signal Processor: デジタル信号処理専用プロセッサ) 3およびAFE (Analog Front End) 4から、また、回線インターフェイス回路2は端末側回路5, アイソレータ6, 回線側回路7, 高電圧回路8からなっている。モデム1の中のDSP 3とAFE 4の役割は、DSP 3がデジタル信号処理、AFEがデジタル回路とアナログ回路とのインターフェイスを受け持っている。モデム機能の大部分は、DSP 3が受け持つ。即ち、DSP 3は、端末との間のデジタル情報をやり取りする一方で、デジタル信号処理によって変調, 復調, 符号化, 復号化, フィルタ処理の処理を行いAFE 4とデジタル信号をやり取りする。AFE 4は、AD変換やDA変換及びフィルタなどを受け持っている。回線インターフェイス2は、モデムのアナログ信号を直接に電話回線に接続すると同時に、モデムに対応する交換機との間で、回線側回路7及び高電圧回路8によって、回線接続, ダイヤル信号送出, 着信信号検出などの信号をやり取りする機能を持っている。さらに、交換機と端末との間の安全上のインターフェイス機能が必要でアイソレ

ータ6は、この安全上の境界になるものである。

【0040】

DSP3の内部はROM (Read Only Memory: 読み出し専用メモリ) 31, PU (Processing Unit: 演算ユニット) 32, RAM (Random Access Memory: 読み書きメモリ) 33, システムインターフェイス34, SOR (シリアル出力インターフェイス) 35, SIR (シリアル入力インターフェイス) 36, I/O (入出力インターフェイス) 37, CONT (DSP内部の制御部) 38からなっており、3つのバス39-1, 39-2, 39-3で接続している。DSP3はDSPのシステム制御回路CONT38内のソフトによって制御され、約40MHzで動作し、HOST-IFを通じた端末装置からの指令により動作し、またデータを授受する。通常のもデムは送信と受信の同時通信能力があり、送信データは、ホスト-IFから入力すると一旦RAM33に蓄積されROM31内のデータ、既に蓄積された送信信号を用いて信号変換や符号化やフィルタ処理を施してSOR35を通じて出力される。また、受信信号はAD信号をSIR36から入力した後、RAMに格納してある送信信号や既に受信した信号とROM31内のデータを用いて各種フィルタ処理や判定処理、符号変換、などを行う。I037はDSP3から外部の回路を制御するための制御信号入出力機能を持っている。AFE4は、DA変換器(Digital to Analog converter: デジタル信号をアナログ信号に変換) 41, AD変換器(Analog to Digital converter: アナログ信号をデジタル信号に変換) 42, クロック分周器43からなっており、主として、フィルタや変復調処理をつかさどるDSP3がモデム信号を入出力するインターフェイス手段をになう。端末側回路5は、データ及びクロックの接続回路である。アイソレータ6は、送信パス61, 受信パス62, OFHKパス63, Rdetパス64からなっており内部構成や動作についての詳細は、後述する。回線側回路7は、2線/4線変換回路71, SW制御回路72, OSC (ローカル発信回路) 73からなっており、2線/4線変換回路71は送信信号パスと受信パスの計4線と回線側の2線とを送信信号が受信側に回り込むのを抑制するハイブリッド回路手段である。高電圧回路8は、直流閉結回路81及び呼出信号を検出するRing (呼出信号) 検出回路82からなっており、直流閉結回路81は回線接続する2

つの端子TIP及びRINGに接続して、制御信号OFHKのパス63およびSW制御回路72により直流ループを作る手段である。

#### 【0041】

このモデム回路の構成上の第1の特徴は4つのアイソレータ6によって回線側と端末側の回路を分離していることである。当然電源も分離しており、回線側電源は、交換局からの給電を用い、端末側は端末の電源を用いる。第2の特徴は基本クロックをDSP3から供給していることにあり、図中太い矢印線で示したように、タイミング信号は、モデム3のCONT38から供給したクロック信号DSPCLKを用いてクロック回路43からモデム内のAFEのAD変換タイミング(MCLKS)、DA変換タイミング(MCLKR)、モデム3のデータ伝送タイミングを得るとともに、回線インターフェイス回路2に供給してアイソレータ6の送信パス61及び制御信号送出用絶縁カプラのOFHKパス63に与える。一方、モデム信号の受信パス62はOFHKパス63の再生クロックを用い、また、制御信号受信用絶縁カプラのRdetパス64は受信待機からRING信号受信時のみ有意なのでOFHK信号で発振を制御するものとする。このようにすることでRdet信号パス以外はモデム1内のDSP3の動作タイミングに同期してする。このようにすることにより後述する効果が得られる。

#### 【0042】

次に、図2を用いてこの回路のモデム機能としての動作を説明する。図2には、送信時(a)と、受信時(b)に分けたタイミングチャートの一例を示している。送信時は、最初に、端末からの指令に従ってDSP3がI/O37を制御して直流閉結制御信号OFHKをオンする(T1)。直流閉結に対して、回線(即ち、交換機)が応答したならば(T2)回線インターフェイス回路2からダイヤル信号を送出する。これは、OFHK端子を回線規格に合わせてオンオフし直流閉結をオンオフすることで実施する。例えば日本では10PPS(pulse per second以下同じ)または20PPSである。ダイヤル信号送を終えると(T3)、端末は、回線が相手側モデムと接続されるのを待って(T4)、モデム1を起動し送信を開始する。モデム1は起動指令にしたがって、あらかじめ決められた手順にしたがってDSP3のSOR35およびAFE4のDA変換器41を通じ

て送信信号TXA+およびTXA-を発生し、相手モデムとの通信を立ち上げる。回線インターフェイス回路は、TXA信号をアイソレータ6の送信パス61を通じて2線/4線変換回路71に供給する。2線/4線変換回路71では受信側への回り込みを低減して、直流閉結回路81を通じてTIP及びRING端子から回線に送信信号を送出する。この送信信号に相手モデムが応答する(T5)と回線上に相手モデムの信号が見えて、逆の経路をたどって、2線/4線変換回路71で受信信号が選別され、アイソレータ6の受信パス62、AFEのAD変換器42、DSP3のSIR36を経由してモデム1に引き渡され、DSPの信号処理によって増幅し、フィルタ処理し、復調し、デジタルデータを復元し、受信データとしてホストに引き渡す。通信を停止するときには、端末は、モデム信号のより上位のプロトコルによって端末同士の停止情報をやり取りした後で夫々のモデムに停止指令を出し(RSオフ)、モデムがこれに応じて信号を停止する(T6, T7)。このやり取りを終えた時点で(T8)OFHKをオフする。このようにすると、回線接続端子TIPとRING間にはT1からT8までの各タイミングに対応して概略図2の“TIP-RING間”のような信号が現れる。

受信時には、回線側からRING信号によって起動がかかり(T1)、回線インターフェイス回路は、これをRING検出回路82で検出すると、速やかに絶縁カプラ6のRdetパス64を通じてモデム3に伝達する。モデム3は、これをI/O回路37で知り、これに応答すると送信時同様に直流閉結制御信号OFHKを出力して直流閉結する(T2)。直流を閉結すると局の交換機はRING信号を停止する(T3)ので回線の整定時間を待って(T4)相手モデムがモデム信号を送信してくるので、これを信号RXA+およびRXA-として受信して、受信側モデムがモデム信号であると認識すると、これに応答して送信を開始する(T5)。通信が完了するときも、T6, T7, T8と、送信時とほぼ同様のシーケンスで終了する。これらの受信動作の間、T1からT8までの各タイミングに対応して回線には図のような信号(模式的に示す)が現れる。この動作自体は、規格にのっとって動作することであり、公知である。

【0043】

図3は、図1の実施例内のアイソレータ6の一パスの回路ブロック図であり、

図3において、9-1および9-2は後述する容量性絶縁バリヤ、21は入力回路、22は出力回路で、この絶縁バリヤによってモデムの端末と交換機との間の安全上の境界を実現している。入力回路21は、端子103を電源及び信号入力とし、変調回路104、駆動回路105、保護回路106からなっており、入力されたアナログ信号を変換及び変調してPWM信号に変換し、絶縁バリヤ9-1及び9-2を通じて出力回路22に信号を伝達する。出力回路22は、保護回路107、検出回路108、復調回路109からなっており、端子110から電源を供給し、絶縁バリヤ9を通じて来た信号を検出回路108で検出し、検出信号から積分回路135及び比較回路137によってPWM信号を再生し、また、PWM信号から入力信号に対応したアナログ信号を再生する。また、検出した信号からタイミング信号を抽出して、これらの信号を出力する機能がある。

#### 【0044】

入力側の端子103には、電源端子VDD1およびVDD2、接地端子VSS1、信号入力として+と-の差動入力、また、変調タイミングとなるクロック入力端子がある。変調回路104は、比較回路111、および搬送波発生回路112からなっている。駆動回路105は、PMOSトランジスタ113および114とNMOSトランジスタ117および118とからなるインバータドライバである。保護回路106は、ダイオード121、122、123、124と抵抗129、130からなり、出力回路22側からのサージ電圧進入による回路破壊を防止する。出力回路22側の保護回路107は、抵抗131、132、およびダイオード125、126、127、128からなり、検出回路108のトランジスタのゲートを保護している。PMOS115、116およびNMOS119、120は帰還抵抗133及び134を持つインバータ構成の検出回路である。検出回路108の出力は積分回路135に接続する。積分回路135は、インバータ出力信号からPWM波形を再生する。136は搬送波のタイミングを再生する回路であり、137は比較回路である。出力回路側の端子110は、電源端子VDD3、VDD4とVSS2から電力を供給して、処理結果の相補型の信号出力+、-とタイミングクロックを出力する。この構成の特徴は、(1)2つの絶縁バリヤ9-1、9-2を用いていること、(2)外部クロック入力であること、(3)再生クロック出力がある

ことである。なお、通常の入出力保護回路であるために表記しなかったが、この回路ブロック図における端子103のうち、信号入力+と-およびクロック入力には、絶縁カプラとして単独使用する場合には、入力保護回路を設ける。また、この回路構成の説明ではPMOS及びNMOSの組み合わせとして示したが、目的によっては、バイポーラプロセスや混在プロセスであってもよい。また、絶縁カプラを単体使用するのが目的であるときには、クロックを内部発生せさせるようにしてもよい。

## 【0045】

次に、図4を用いて、この実施例の絶縁カプラの動作を説明する。図4は、図3の絶縁カプラの動作タイミングチャートであり、信号伝送方式は、PWM（パルス幅変調）方式である。伝達すべき波形である入力信号の周波数帯域（ここでは最大約3.4kHz）より十分高い（ここでは1.2288MHz：256倍以上）搬送波を用い、時間軸を細かい周期T毎に分け、各時刻における入力信号の大きさを各々のパルス幅tに変換して伝送する。入力信号が0ボルトのときに $t/T=0.5$ 、つまり、50%デューティで、入力信号が正に大きくなるほどパルス幅を大きくし、入力信号が負に大きくなるほどパルス幅を狭くするように、デューティ変換する。なお、入力信号は、コモンモードノイズの影響を低減するために入力信号+及び入力信号-と差動入力としているがこれも目的によっては使い分けることであり必須ではない。

## 【0046】

図4は正弦波を+入力端子に加えた場合を模式的に示している。絶縁カプラの外から入力した矩形のクロックを搬送波発生回路112によって鋸波形に変換して、搬送波とする。変調回路104は、比較回路111であり、これらの入力信号を受けてパルスのデューティを変化させた出力PWM+及びPWM-を出力する。駆動回路105は、このPWM+およびPWM-波形を駆動回路105に入力し、保護回路106を通じて絶縁バリヤ9-1、9-2の一方の端子に与える。絶縁バリヤ9-1、9-2のキャパシタ値は、約1pFである。保護回路106は、数十ns程度以下の高電圧サージ波形に効果があるような定数にしてあるので、この駆動波形にはほとんど影響しない。絶縁バリヤ9-1、9-2の

他方の電極は、保護回路 107 を通じて検出回路 108 に入力する。この検出回路 108 は、インバータ及び積分回路 135 である。インバータ出力は検出信号 + 及び - のように微分波形であり、また、ストレー容量のために著しく減衰しているため、インバータで一旦増幅して積分回路 135 に入力する。積分回路 135 は + 及び - の 2 つの入力を有する積分器であり、微分波形を入力信号とすることにより図に示すような再生 PWM 信号 + 及び - を出力する。タイミング再生回路

136 は、PLL 回路で、再生 PWM 信号からタイミング信号成分を抽出する。タイミング波形を用いて鋸波形を作成し、これを再生 PWM 信号のタイミングでサンプルホールドすると出力信号 + 及び - のような復調波形を再生することができる。なお、この絶縁カプラの回路動作について説明したが、本発明の実施に当たって、PWM の実現方法は、他の方法でもよい。例えば、変調波形は、三角波としてもよい。三角波を用いると、変調波形の中心タイミングが一定となるので、例えば、復調回路において PLL のような高精度のタイミング再生方式を採用できる効果がある。また、出力回路では、積分回路の代わりにセットリセット型のフリップフロップを配置してもよい。インバータ出力である微分波形の立ち上がりタイミングは、PWM のタイミング情報そのものであり、負荷抵抗やインバータの特性等を適当に選ぶことによって、そのままフリップフロップの制御信号とすることができる。フリップフロップの出力は PWM 波形そのものである。

#### 【0047】

この動作タイミングの特徴は、送信信号、受信信号、回線接続制御信号の 3 つの制御信号伝達が平行していることである。このために絶縁カプラを用いた回線インターフェイスでは、信号のクロストークが雑音となって SN 比を劣化させる。そこで、この実施例では、DSP の動作タイミングとモデム処理タイミングと絶縁カプラのタイミングとを同期させて、この劣化を抑制している。これを、次の図 5 を用いて説明する。

#### 【0048】

図 5 (a)(b) はモデム信号処理と絶縁カプラの動作のタイミング関係を示しており、本実施例の回路構成の特徴は、回線インターフェイス回路の動作タイミングをモデムより供給し、IC 内部の回路動作をこのクロックに同期しているこ

とである。図5において(a)はモデム信号処理部分であり、タイミングチャートは模式的であるがチャートの右側に示したような関係にしている。即ち、モデム信号処理部分では、DSPを39.3216MHzで動作させ、AFEには1.2288MHzを供給してDA変換タイミングMCLKSおよびAD変換タイミングMCLKRとして用いる。DA変換及びAD変換方式は256倍オーバーサンプル方式であるため実質は9.6kspsである。(b)は回線インターフェイス部分のクロックタイミング関係であり、DSPから供給したクロック信号DSPCLKをNCLKSとしてアイソレータ6の送信信号パス6.1および制御信号パス6.3に供給することでモデムの動作タイミングと同期させる。受信信号パスNCLKRは制御信号がオン状態のときのみ動作すれば良いので図のようにゲートした波形になっている。また、RdetパスのタイミングCLK2は回線側回路にてローカル発振するがモデム間の信号のやり取りをする際に制御信号OFHKによって停止させる。

【0049】

このようにDSP, AFE, 絶縁カプラの動作タイミングを同期させることによる効果を図6を用いて説明する。

【0050】

図6において、(a)は鋸波形を搬送波とする場合のPWM変調タイミングを示している。変調は、クロック信号を積分して搬送波形となる鋸波形を作成し、伝送信号と比較することでPWM変調波形が得られる。ここでは受信信号と送信信号とOFHK制御信号を示している。受信信号は図18のRXA+, -に示すように、回線での伝送損失の影響を受けて振幅が小さく、-20から-45dBm程度である。これに対して送信信号は、自分から送信するので振幅が大きく通常は-6から-15dBm程度である。制御信号は、5Vのロジックレベルであり最大値である。これらの振幅をPWMデューティに変換すると図のように、小振幅の信号は振れ幅が狭く、大振幅の信号は大きな振れになる。また、信号の性質は、モデム波形は交流信号であるので図のように振れが見え、制御信号は止まってみえる。本実施例では、各絶縁カプラのタイミングを同期しているので図6のように、搬送波形、変調波形、制御信号のPWM波形が整列し、相互の干渉を最

小にしている。また、モデム回路では、送受信の信号を所定のタイミングでADあるいはDA変換しているがモデムからもらうクロックをこれに同期したものとすることでPWM部分で周期T毎にサンプリングしても、影響を最小にすることができる（非同期ではビート雑音の影響がある）。

#### 【0051】

クロストーク低減の原理をもう少し詳しく説明すると以下のようになる。

#### 【0052】

パルス幅変調の絶縁カプラを複数個同時に動作させると、PWM波形が重なって、立ち上がりや立ち下りの位置が近づくので、デバイスや回路の電氣的な結合によって、自回路の動作によって自回路に発生した雑音が他の回路の動作に影響して、他の回路の立ち上がりや立ち下りのタイミングを乱す相互干渉、いわゆるクロストークが生じる。NCU用に3～5個の絶縁カプラが必要な場合にアナログデータ伝送のためにPWM絶縁カプラを用いる応用では、この乱れによって波形歪みが生じ、この歪みによって伝送信号のS/Nが劣化するので、例えば音声信号であれば雑音が増え、モデム応用では伝送誤りとなる。PWMの搬送クロックタイミングを同期すると図に示すように少なくともロジックレベルのタイミングとアナログ信号のタイミングとの重なりを分けることができる効果がある。また、後述するようなロジックレベルのPWMだけを用いるシステムの場合でもタイミングの乱れがロジックレベル付近に限定されるのでクロストークの影響を最小とする効果がある。

#### 【0053】

図6(b)は三角波形搬送波に適用した場合の、PWM変調タイミングを示している。この場合には、搬送波が三角波形となるために三角波の両側にPWM変調タイミングが現れる以外、基本的には同じ問題を含んでいるが、この実施例のようにすることで、同じ効果が得られる。なお、着信検出信号Rdetを伝達する絶縁カプラ105用のクロックは回線側に配置した発振器OSC112にて発生しているために他の絶縁カプラの動作とタイミングが合わないが、OFHK制御信号を入力したときに発振を禁止するようにしており、この作用によって発振回路の動作が、モデム通信を始める以前に停止するので、これによってクロストークの影響

を抑制できる効果がある。

【0054】

図7は、この回線インターフェイスICのレイアウト構想図である。図7において、2は回線インターフェイスICであり、206-1, 206-2, 206-3は絶縁帯であり、それぞれ、回線側の端子領域201および回線側回路領域202, 端末側回路領域204及び端子領域205を囲んでいる。203は絶縁カプラ配列領域で図1に示す4つの絶縁カプラを1列にならべて配列している。このレイアウト上の特徴は、(1)容量性絶縁バリヤを用いた絶縁カプラを4個用いたこと、(2)回線側回路と端末側回路とを絶縁カプラで配列で分離するように幾何学的に揃えたこと、及び、(3)回線側回路及び端末側回路の各々を絶縁帯で囲んだことである。絶縁帯とは、これによって、回線側、端末側、夫々の回路が絶縁分離されて、各領域の中は、一次回路と二次回路間の耐圧を意識せずに自由に設計でき、また、同時に、絶縁能力の評価、管理等が簡素化される利点がある。

【0055】

なお、この集積回路のパッケージ実装に当たっては、最終的にはパッケージの外に出る部分の空気絶縁に耐える絶縁距離を確保するとともに、内部をモールドして絶縁処理を施すことは言うまでもない。

【0056】

次に、図8を用いて、図7の絶縁カプラ部分の構造について説明する。図8(a)は平面図、図8(b)は断面図であり、いずれも駆動回路及び検出回路のみを模式化して示している。図8(a)において、203は絶縁カプラ領域であり、206は絶縁帯、207は絶縁バリヤ、211は入力回路領域、212は出力回路領域である。絶縁帯206は、206-1から206-6まで多くのパターンを形成している。なお、絶縁バリヤ207の部分の符号は、煩雑なので一部省略しているが同様である。入力回路領域211および出力回路領域212は、さらに、PMOS領域213, 214, 215, 216およびNMOS領域217, 218からなっている。入力回路の入力端子としては駆動回路の2つのインバータ入力端子IN1, IN2を示す。また、出力回路の出力端子としては、検出

回路の2つのインバータ出力端子OUT1, OUT2を示す。VDD1からVDD4は分離した電源端子、VSS1およびVSS2は、分離した接地端子である。平面図(a)の特徴は、(1)回路領域を絶縁帯2によって分離していること、また、(2)絶縁バリヤ1として、絶縁帯2を櫛の歯状パターンに形成して、対抗面積を稼いでおり、また、(3)4つのキャパシタを、横方向に直列接続して2組みの絶縁バリヤを形成していることである。これらは、前述のように相補的なPWMデジタル波形で駆動する。2組の絶縁バリヤ間のクロストークは少ないが、問題にするような用途の場合には、これらの間に、即ち、横方向に長いスペースや電源パターンVDD, VSSの配線パターンを用意して、絶縁バリヤの間に配置して結合を緩くすると効果がある。また、絶縁カプラを複数使用する場合にも同様な配置で効果がある。また、回路領域の中でPMOSの領域とNMOSの領域とは絶縁帯によって分離する。この分離で、仮に回路に予期せぬサージ電圧が印加されても寄生トランジスタの導通による電源間の短絡、貫通、即ちラッチアップ現象は原理的には生じない。

#### 【0057】

図8(b)において、231は基板、232は絶縁層、233は半導体層、234は保護層であり、多くの絶縁帯206によって半導体の領域が形成され、左から、入力回路領域211, 絶縁バリヤ207, 出力回路領域212を配列している。この構造は、この実施例では、約2ミクロン厚さの $\text{SiO}_2$ を絶縁層として内層としたシリコンウェーハを用意し、この上にホトマスクを使用した薄膜プロセスを用いて各領域を作成している。図8(b)において、206-1から206-6の絶縁帯は、約 $1.5\mu\text{m}$ 幅の $\text{SiO}_2$ 層である。構造的には、絶縁層を内層としたシリコンウェーハ上に、入出力回路領域、絶縁バリヤ領域等の、各領域を絶縁帯206によって区分して形成して、さらに、保護層234を重ねたようにしている。シリコンウェーハは、単結晶シリコンの基板231に、 $\text{SiO}_2$ 一層、あるいはさらに表面を酸化したポリシリコンを重ねた多層の絶縁層232を重ね、さらに単結晶シリコンの半導体層を重ねた構成になっている。張り合わせは、この実施例では、ポリシリコン表面のシリコン酸化膜の表面を鏡面研磨して重ね合わせた後に特定温度で熱処理によって接合する方法を用いる。絶縁帯

206は、 $\text{SiO}_2$ 層であり絶縁物である。保護層234は、 $\text{SiO}_2$ 、HLDあるいは $\text{SiN}$ などの絶縁物でありこの層の中にポリシリコンやアルミニウムによる配線層を含んでいる。絶縁帯206は、一旦、溝(トレンチ)を掘って $\text{SiO}_2$ やBPSGで埋め込む方法、トレンチ側壁を薄く酸化してからポリシリコンを埋め込む方法、あるいは、PIQやSOGを塗布する方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体に変えるなどの方法で形成する。キャパシタは、3つの電極領域236, 237, 238と絶縁帯206で構成する。このようにすると、絶縁層232の厚さに比べて絶縁帯206の幅に制限がある溝掘り方式の場合でもキャパシタを直列接続することで絶縁耐圧を確保することができる。

## 【0058】

また、電氣的な要求が絶縁帯1つの耐圧で良い場合にもこのようにすることで2重絶縁を実現することで信頼性の高い部品とすることができる。なお、入力回路領域211と出力回路領域212は断面で示すと235および239であり、これらは、2つの絶縁帯で囲まれており、高い絶縁耐圧が得られる構造になっている。このように、複数の回路を基板から絶縁帯及び絶縁層によって物理的に絶縁しているので、この集積回路は、パッケージ実装に際して、フレームに直接接着することができ、熱放散が良い利点がある。

## 【0059】

次に、図9によって、図8の絶縁カプラにおける絶縁バリヤ部分の構造をさらに説明する。図9において、(a)は平面図、(b)(c)は平面図(a)におけるA-A'断面図である。図9(a)において、207は絶縁バリヤ、206-1, 206-2, 206-3は約1.5ミクロン幅の $\text{SiO}_2$ で形成した絶縁帯、241, 242, 243は絶縁帯206で囲んだ電極領域、244および245は電極領域241および242上部の保護層に開けた穴である端子である。図9(b)において、231は約400ミクロン厚さの $\text{Si}$ 基板、232は約2ミクロン厚さの絶縁層、233は約15ミクロン厚さの半導体層、234は約5ミクロン厚さの保護層であり、他の符号は(a)と同じである。

## 【0060】

断面図からわかるように、絶縁層を内層としたシリコンウェーハ上にホトマスクを使用した薄膜プロセスを用いて各領域を作成している。絶縁帯2は、 $\text{SiO}_2$ 層であり絶縁体である。絶縁帯206は、一旦、溝(トレンチ)を掘って $\text{SiO}_2$ で埋め込む方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体に変えるなどの方法で形成する。キャパシタは、3つの電極領域241, 242, 243と2つの絶縁帯206-1, 206-3で構成する。絶縁帯206を図示したように帯を折りたたむようにパターン化して電極241, 242と243が接する長さを長くすることで小さな半導体面積で効率よく容量値を得るようにしている。ちなみに、この実施例では約160ミクロンの正方形で約2pF, 耐圧は直流耐圧試験で1絶縁帯当たり約750Vの絶縁性能が得られている。端子244および245間に高電圧を印加するが、絶縁バリア207の外側からみて、電極領域241, 242を絶縁帯で2重に囲んだパターンになっている。なお、絶縁帯206のパターンを形成するに当たっては、鋭角のパターンが生じないように、折りたたむ部分や角部分には、可能な限り円弧パターン(半径2ないし5ミクロン)を用いる。絶縁帯206-2の部分は他の回路部分と絶縁分離するために必要である。図9(c)は、絶縁層1層当たりの厚さを厚くできない場合の構造図で、絶縁層を2層とすることで実効的な耐圧を稼ぐことができる。また、多層構造のICには反りが少なからず見られるが、絶縁層を多層とし各層の厚さを調節することで、応力を分散して反りを軽減する効果もある。

## 【0061】

図10は、該モノリシックデジタルアイソレータをAFEに応用した場合の一実施例の回路ブロック図である。この実施例のAFEは、音声帯域信号処理用で、アナログとデジタルの変換をオーバーサンプル(2MHz)AD及びDA変換し、デシメータ、インタポレータで一旦32kspsに下げ、さらに内部DSPによって低域フィルタ処理等をして、最終的に8kspsの速度でデジタルデータを入出力するものである。

## 【0062】

図10において、500はデジタルアイソレータ501ないし506を内蔵し

たモノリシック AFE であり、AFE500 は AFE 本来のマルチプレクサ (MUX) 511, パッドアンプ (PDA) 512, プレフィルタ (DF1) 513, オーバーサンプル・アナログ・ツー・デジタル変換器 ADC514, デシメータフィルタ (DCM) 515, AD変換出力バッファ (ADCR) 516, 内蔵 (in-) DSP517, 受信出力バッファ (RXDR) 518 とからなるアナログ入力ラインと、送信バッファ (TXDR) 521, DA変換入力バッファ (DACR) 522, インタポレータ (INT) 523, オーバーサンプル・デジタル・ツー・アナログ変換器 DAC524, ポストフィルタ (PF2) 525, アッテネータ (ATT) 526 からなるアナログ出力ラインと、in-DSP517 のデータ入出力転送制御 531, 533 及びアナログ入出力端子の 2 線 4 線変換回路 533 に制御回路を加えた構成になっている。AFE500 の内部は、制御回路 (CONT) 541 によってリセットやパワーダウン制御する。リセット信号は、デジタルアイソレータ 506 を通じて左側 (以下アナログ入出力側) の回路に伝えられ、リセット回路 542 でアナログ入出力側の電源オンオフに伴うリセット信号と合成されて、アナログ入出力側回路のリセット信号として用いる。外部装置が AFE500 をきめ細かく制御するために制御レジスタ (CONTR) 551 及び (STATUS) 554 を用いる。(CONTR) 551 ((STATUS') 553) の内容はデジタルアイソレータ 504, 503 を通じてアナログ (デジタル) 入出力回路の制御レジスタ (CONTR') 551, ((STATUS) 554) にコピーされアナログ入出力側回路の SW1 ないし SW3 やその他の回路の制御及び汎用出力ポート (GPO) のレベルを設定する。AFE500 の動作タイミングは、外部 (ex-) DSP によって与えられる 2MHz のクロック (MCLK) PLL によって 8 倍の 16MHz に変換して、入力された 2MHz と合わせて基本タイミングとして用いる。もちろんアナログ入出力回路にもデジタルアイソレータ 505 を通じて伝え、タイミング回路 562 によって各種タイミングを発生して用いる。

#### 【0063】

基準電圧発生回路 563 はアナログ入出力回路に単一電源で動作させるための基準電圧を与えるための回路で、基準電圧  $V_{REF} : (V_{DD1} - V_{SS1}) / 2$  を発生する。

## 【0064】

次に動作を説明する。2線4線変換回路533は、AFE500をモデム装置に用いる場合に公衆回線の2線と内部の送信及び受信の4線との変換をする回路で、回線インピーダンス整合及び入出力アンプ機能を持っている。アナログ入力信号は2線4線変換回路533を経由するかIN+, IN-端子より直接入力するが、どちらかに合わせてあらかじめMUX511を信号SW1によって切り替えて用いる。

---

PDA512は、0dB, 6dBのゲインを信号SW2切り替えることができる。

## 【0065】

PF1 513はAD変換前に不要な周波数帯の信号を削除するためのアナログフィルタであり、この実施例ではカットオフ周波数48kHzの2次の低域通過フィルタである。ADC514は2Mpsで動作する2次の $\Delta\Sigma$ 変調器であり、0.5 $\mu$ sごとに2ビットのAD変換結果を出力する。このAD変換出力をDF1 515に伝え32kspsに間引く。DF1 515の出力は16bit/wになるが32kspsと速度が遅いのでこれを2Mbpsにシリアル変換し、アイソレータ502を経由してタイミング信号とともにデジタル入出力側回路のADCR516を経由してin-DSP517に伝える。in-DSP517ではこのデシメータ出力をIIR, FIRのデジタル信号処理によって平坦特性補正及び4kHz以下のLPF処理を行う。処理結果は8kspsごとに16bit/wのデータとして受信バッファ518を通じてシリアルにex-DSP536に伝える。

## 【0066】

次に、アナログ出力ラインは、ex-DSP536から出力すべきデータ(TXD)を送信バッファTXDR521から8ksps毎に受け取り、in-DSPによってアナログ入力と同様のフィルタ処理を行い、この結果を16bit/wのデータをDA出力バッファ(DACR)522を経由して補間処理をしながら32kspsの速度で補間フィルタ(INT)523に渡すがここでもシリアル変換してアイソレータ501を経由する。INT523は、さらに補間処理をして、6bit/wのデータとして、2Mpsの速度でDAC524に渡しアナログ値を出力する。in-DSP517, INT523による処理で残った折り返し成分をポストフィルタPF2 525によって除去し、0dB, -6dB,  $-\infty$ dBを切り替えることができるATT526を経由して出力する

。これらアナログ出力ラインの動作タイミングはアナログ入力ラインのタイミングを用いる。

【0067】

これらの処理のタイミングは、基本的に2MHzのタイミングの中に同じタイミングの $\Delta\Sigma$ 変復調器の処理タイミング、2Mspsと32kspsで入出力するインタポレータ及びデシメータ処理タイミング、および32kspsと8kspsで入出力するDSP処理タイミングを整然と割り付けたタイミングになっている。従って、アイソレータ501ないし505でアナログ入出力側回路とデジタル入出力側回路を分けたがこれらを同期して動作させることが必要不可欠でタイミング専用のアイソレータ設定の重要性がここにある。

【0068】

次に、このAFE500をex-DSP536とともにモデムへの応用例を説明する。

【0069】

ex-DSP536から見たAFE500は、アナログ信号の入出力回路であるが、そのサンプルタイミングが重要で、このために、大抵のモデムは、復調時に最も識別判定に有利なタイミングになるようにADC514のサンプルタイミングを調整する。このために、ex-DSP536からAFE500にはクロックMCLKでタイミングの遅れ進みを伝える。すなわち、タイミングを早めたいときには $\Delta f$ を加え、遅らせたいときには $-\Delta f$ を加えてAFE500に知らせる。この処理は、数10msないし数100ms毎に行われる。AFE500が勝手なタイミングで動作すると、ex-DSP536の要求するタイミングと合わないで、データの過不足が生じて処理タイミングの破綻が生じ大きな雑音が生じることになる。この遅れ進みするクロックにAFE500を同期させるためにAFE500内部にはPLLを配置して内部タイミングを同期させる。

この実施例では、デシメータ、インタポレータとin-DSPの間のデータ転送はシリアル高速転送にしたためにアイソレータ数を減らす効果がある。なお、モデムには複数の規格を含むので複数のサンプルタイミングを要求する場合があるがこれに対応するためにPLL561及びタイミング回路562の分周比をCONTR551によって制御可能にしている。

## 【0070】

なお、回路領域601ないし603内の各回路ブロックはトレンチで囲むことで回路間の絶縁分離及び素子分離をしているがこれをさらに多重トレンチとし、トレンチ間を接地することで相互干渉による雑音シールドを形成することができる。

## 【0071】

また、回路領域のトレンチの多重度は高耐圧キャパシタ部のトレンチの多重度よりも1段高い多重度とすることで、破壊モードをキャパシタ部に限定するようにする。このことで、規格以上の高電圧がかかった場合でも被害を限定してシステムを構築できる効果がある。

## 【0072】

次に、図11によって図10の回路の集積回路上のレイアウト概念を示す。図11において、全体500がAFE集積回路全体を示し閉じた線（トレンチ）で囲んだ領域に付した名前はそれぞれ図10に対応している。このレイアウトの特徴は各回路領域をさらにトレンチで囲ってアナログ入出力側回路領域601、アイソレータ領域602、デジタル入出力側回路領域603とし、(1)各領域間に2重トレンチをほどこして領域間絶縁をし、さらに、(2)全体をトレンチ604で囲むことでチップ間の絶縁を取っていることである。なおトレンチ604は、多重トレンチである。

## 【0073】

次に、図12は図10のAFEを適用したDSPモデムの実施例の回路図である。図12において500はAFE、700はex-DSPであり、モデムを電話回線と接続すると接続する端子をTIP, RINGには、抵抗701, 702と容量703, 704とサージ保護素子705とで構成する保護回路を経由して接続する。706, 707はNMOSトランジスタで形成したSWでこれは受光素子（太陽電池）708に接続される。受光素子708は発光ダイオード709の光を受けて706, 707をオンオフしてこのスイッチの右側の回路にTIP, RINGを通じて供給される電力を供給する。発光ダイオード709はトランジスタ710, 抵抗711, 712からなるスイッチ回路で発行を制御される。こ

のスイッチの制御信号はPOWER ONである。ダイオード713, 714, 715, 716はブリッジを構成して、TIP, RINGに加わる直流電圧の方向に関わらず電流の方向を一定にする働きを持つ。抵抗717, 718, 容量719, トランジスタ720, 721, 抵抗722, NMOSトランジスタ723からなる回路は直流閉結回路であり、AFE500の制御出力端子GPOがハイになるとNMOSトランジスタがオンして、抵抗717と718のバイアスに従ってダーリントトランジスタ回路720, 721が動作して、帰還抵抗722とバランスしたところのループ（閉結）電流を流す。抵抗724, 18Vツェナーダイオード725からなる回路は3端子レギュレータ726およびAFE500に過大な電圧印加を阻止する保護回路である。容量727は平滑キャパシタである。

【0074】

モデムで送信するときには、最初にPOWER ON信号を発生してNMOSスイッチ706, 707をオンして3端子レギュレータ726を回線と接続してAFEに電流を供給し、次に、TXDからCONTRを通じてGPOをハイレベルにしてNMOSスイッチ723オンして、ループ電流を流して局の交換機にモデムを回線に接続したことを知らせる。次に、モデムからAFE200を容量728を通じてダイヤル信号を送出し、交換機が相手モデムを接続するのを待つ。接続された相手モデムは、通常のモデム信号を発生するので、以降お互いにAFEを通じてモデム通信を行う。容量729, ツェナーダイオード730, 731は一定電圧以下の着信信号に応答しなくする感度調整回路で、抵抗732はダイオード733又は発光ダイオード734の電流制限抵抗であり、ホトトランジスタ735は抵抗736を負荷として発光ダイオード734に着信信号が流れたときに、発光を検出してモデム700にRING DETECT 信号として伝えるものである。モデムの受信時はこの信号がモデムに通知され、POWER ON端子がこれに应答してNMOSスイッチ706, 707及び723をオンしてループ電流を流して電源を入れ、容量728を通じてモデム応答信号を返す。これ以降のモデム信号の送受信は、送信時とほぼ同じである。

【0075】

以上、図10から図12で説明した本実施例によれば、以下のような特徴と効

果が得られる。第1の特徴は、AFEのアイソレータ配列から左側の個別部品の回路を含めてアナログ入出力側回路はすべて右側のデジタル入出力回路を絶縁していることが特徴である。従来は絶縁トランスを用いて絶縁してむしろ右側においた部分であり、本実施例のAFEによってトランスを削除でき小型なモデム装置を構築することができる。また、第2の特徴はAFEのアナログ入出力側の回路に局からの給電を受けて電源を供給していることであり、このためにアナログ入出力部の電源をモデム装置側から供給する必要がなくなって、全体の消費電力低減に貢献している。第3の特徴は個別部品部のスイッチをPOWER ONスイッチ706、707とループ電流スイッチ423とに分けていることで、これによって回線接続開始時にループ電流を流さずにAFEに電源を供給して例えば、発信者番号通知など、交換機とモデムでの信号のやりとりに利用することができる。

## 【0076】

図13は、AFE内のアイソレータの挿入位置を図10とは変更した他の実施例の回路ブロック図である。図13において、各素子に付した符号はすべて図10と同一名称、同一機能である。この実施例の特徴はアイソレータをADC、DACと、デシメータ、インターポレータとの間に配置したことである。この部分のデータ転送速度は $2\text{ bit/w} \times 2\text{ Msps}$ あるいは $6\text{ bit/w} \times 2\text{ Msps}$ と速いのでアイソレータを並列にして用いており、このために、転送動作による遅延時間がほぼ無視できる。このために、例えばエコーキャンセラや終端をin-DSPで処理する場合には図10の場合に比べて、処理性能の制約が少ないメリットがある。

## 【0077】

図14は、本発明のモノリシック回線インターフェイスをカードモデム装置に応用した実施例の概念を示す構造図で、図14(a)は本発明の実施例、図14(b)は従来のカードモデムである。図14(a)において、400は本実施例のカードモデム全体を、401は本実施例の回路基板を、402は本実施例の回線インターフェイスICを、403はAFEを、404はDSPを、405はその他のICを、406は回線側コネクタを、407はPC側コネクタを、408

はバリスタを、409は高耐圧キャパシタを、410はキャパシタを、411から416はその他の抵抗及びキャパシタ等のチップ部品である。図14(b)において、450は従来のカードモデム全体を、451は従来の回路基板を、452は従来の回線インターフェイスであるライントランスを、453はAFEを、454はDSPを、455はその他のICを、456は回線側コネクタを、457はPC側コネクタを、458はバリスタを、459は高耐圧キャパシタを、460はキャパシタを、461から466はその他の抵抗及びキャパシタ等のチップ部品である。この図はカードモデムの断面を模式的に示したもので、比較して明らかのように、従来のカードモデム460は、回路基板461をくり貫いて、くり貫いた部分にライントランスを配置しているのに対して、本発明の実施例では回線インターフェイスIC402を402から405に示す他のICとほぼ同様に実装できる。このために、回路基板401をくり貫く工程が省略できて経済的である。また、特殊なトランスを使用しないことでも経済的にできる可能性がある。さらに、トランスを省略できることで、更なる小型化の可能性を持っている。

図15はI-AFEを用いたモデム装置と、ホスト(PC)とを組み合わせた通信システムの一実施例の構成図である。図15(a)において、810は例えば図12に記載されたディスクリット回路の部分で、保護素子、接続スイッチ、直流閉結回路、直流閉結スイッチ(DC Loop)、呼出信号検出回路等を含むDAA(Direct Access Arrangement)手段。811は同図I-AFEのような絶縁、フィルタ、AD、DA手段、812は同図DSPのような変調復調手段、813はMPU、メモリ、ソフト等からなる伝送制御手段であり、これらでモデム部800を構成している。また、801はPCのような応用制御手段で、WS、PC、PDA等の内部のホストCPUや専用DSP、または集合モデムの全体制御CPUであり、ここではPC基本部又はホストと呼ぶ。

#### 【0078】

図15(a)は、DSP、MPU、PCにより階層的に信号処理を分担するように構成した、いわば、I-AFEを用いた従来型モデム構成の実施例であり、I-AFEによって、従来はDAA内にあった高価で形状が大きい絶縁トランスを削除し、ホトカプラ数を低減して、装置の小型化、経済化に貢献している。な

お、モノリシックアイソレータはAFE内に内蔵されたが、必要に応じて他の部分と組み合わせて構成することができる。また、I-AFEとDSPとを一体化する集積化をしても良い。

#### 【0079】

図15(b)はI-AFEを用いたソフトモデム装置の一実施例の構成図である。図15(b)において、図15(a)と同じ符号は同一名称であり、822は変調復調手段811と応用制御手段803とを接続するインタフェース(I/F)手段で約0.5Mbyteのバッファメモリとその他の制御論理回路を含む。この構成の特徴は、変調復調手段、伝送制御手段をホストCPUにより一括処理することで、変調復調手段(DSP)812、伝送制御手段(MPU)813のハードを削減し、モデム装置の大幅な小型化、経済化を実現するものである。この構成の場合はモデム部分のハードが少なくなった分、際立ってモノリシックアイソレータによる小型化、経済化の効果が大きく見える。この構成でも、モノリシックアイソレータはAFE以外と組み合わせても良い。I/F手段は、AD、DA変換データを一時記憶するのが主たる機能であり、I-AFEと一体化して集積化すれば、一層モデム装置が小型になる。一方、I/F手段822は、応用制御手段803と一体化しても良い。モデム部とPC部が一体となる、ノートPC、PDA、集合型モデム装置等では、元々、このモデム部という区分は稀薄であり、他の要請によって配置を決めて良い。

#### 【0080】

以上のように、モデム装置及びモデムを用いた通信システムにおいても、I-AFE、つまり、モノリシックアイソレータを用いることにより絶縁トランスを削除し、ホトカブラ数を低減して小型化、経済化が図れることが明らかである。

なお、モデム部とPC部の境界は標準化という点では、PCI規格のような並列バス、IEEE1394、USBのようなシリアルバスがあり、これらに適合する構成をとるのが本発明の適用を広げるに有効であり、小型化、経済化の効果がある。

図16は、さらに他の実施例のシステム構成図である。図16において、850はコントローラ、860～862はアイソレータ、851はトランシーバ、852は電源レギュレータで、これらによって1つのステーション840を構成してい

る。841は内部を開示していないが他のステーションであり、図示していないが、更に他の複数のステーションを想定しており、これらのステーションは、信号バス871と電源バス872と図示していない制御信号バスと、電源880とを含むネットワークバス870に各々並列に接続している。これらのステーションは、図10のように、コントローラ及び応用回路（コントローラ側回路部分）850と、トランシーバ851、電源レギュレータ852（ネットワーク側回路部分）は、アイソレータ860～862によって絶縁分離しており、ネットワーク側回路部分は電源バス872より電源を供給するように、トランシーバ851は、アイソレータ860～862を通じてコントローラ及び応用回路850と信号バス871とを接続している。なお、アイソレータはコントローラ及び応用回路850とトランシーバ851を接続して、トランシーバ851のスタンバイ動作を制御する。あるステーション840と他のステーションとの間で通信を実行するには、起動するステーションからトランシーバのスタンバイを解除し、受信信号Rを監視することで、信号バス871の空きを知り、他のステーション宛の送信信号Tを送信する。他のステーションは、時々トランシーバのスタンバイを解除して、受信信号Rを監視したり、図示せぬネットワークバスの制御信号バスの状態を監視したりして、自分のステーション宛の信号であるかどうかを知り、そうであれば引き続いて信号を受信するというように制御する。なお、これらの制御シーケンスは一例であり変形は可能である。これらネットワークに接続する機器に共通していえることは、ネットワークとステーションの絶縁分離である。つまり、モデム同様にネットワークと端末とは他に異常な事態で異常電圧が発生しても、これを拡散させないようにすることが不可欠であり、従来は高価なトランスやホトカブラがこの絶縁手段として使われていた。このために小型化、経済化の問題があった。

## 【0081】

本実施例のように、モノリシックアイソレータを適用することで、システムとして小型化、経済化が図れるばかりでなく、コントローラ回路、トランシーバ回路等と適宜組み合わせてIC化することにより、回路としても小型化、経済化が図れる利点がある。

## 【0082】

以上、実施例で説明したように、本発明によれば、モデム装置だけでなく、ネットワーク装置の小型化、経済化が実現できるメリットがある。

## 【0083】

なお、これらの例では、ネットワークから電源供給がある事例について説明したが、応用回路側から絶縁して電源供給すれば他の通信システム及び装置にも適用できる。この場合、経済化の効果は幾分低下するが、小型化の利点と合わせて有効な場合がある。

## 【0084】

図17を用いて本発明のアイソレータの動作を説明する。(a)にはアイソレータのブロック構成概略図、また(b)にはその動作波形を示す。アイソレータは概ね以下の回路ブロックで構成される。入力パルス信号inから相補のパルス信号s1, s2を出力する差動増幅回路641。相補のパルス信号s1, s2を2次側に容量結合するペアの絶縁キャパシタ942。1次側からの容量結合により伝送された信号を微分信号s3, s4にする微分回路943。微分信号s3, s4から入力パルス信号inの遷移タイミングを検出する遷移検出回路944。遷移検出回路944で検出した遷移検出信号s5, s6から元のパルス信号を再生するパルス再生回路945である。

## 【0085】

1次側から2次側へ伝送すべきパルス信号inは、差動増幅回路941により相補のパルス信号s1, s2を生成して、絶縁キャパシタ942の1次側を駆動する。絶縁キャパシタ942及び2次側に設けた微分回路943により、絶縁キャパシタ942の2次側に微分波形s3, s4が出力される。微分波形s3, s4から遷移検出回路944により入力パルス信号inの遷移タイミングに係わる遷移検出信号s5, s6が得られる。遷移検出信号s5, s6はパルス再生回路945によりパルスを再生して再生パルス信号outを出力する。

## 【0086】

本実施例によれば、絶縁された1次側から2次側へ絶縁キャパシタ942を介することで入力パルス信号inを伝送することができる。

## 【0087】

次に、図18を用いて本発明の絶縁カプラの伝送方式を説明する。図18には、ブロック図により、(a)から(f)までの各種の伝送方式を示している。絶縁バリヤは、本発明のキャパシタである。本発明の絶縁カプラは、絶縁バリヤを2個使用し、レシーバ側をフローティングとしても正確に信号伝送できるように相補波形で駆動する。入力回路は、電源端子VDD1と接地端子VSS1とから電源供給を受け、入力端子から受けた信号を絶縁バリヤの一方の端子を駆動する波形に変換して出力する。出力回路は、電源端子VDD2と接地端子VSS2とから電源供給を受け、絶縁バリヤの反対側の端子に現れる波形を検出し出力信号に変換して出力する。変換波形は、振幅方向のみデジタル化するPWM(パルスデューティ変換)あるいはFM(電圧-周波数変換)、又は、時間軸方向もデジタル化したデジタル伝送方式など様々な方式を使用することができる。

## 【0088】

図18(b)は、PWM伝送方式の場合を示している。PWM方式は、入力回路で、入力したアナログ信号を信号帯域の数十倍以上の一定周期Tでサンプリングし、振幅を時間軸方向のデューティ(0V入力を50%デューティ)に変換して伝送し、出力回路では、これを検出して、再びデューティを振幅値に変換することで入力波形を再生し、アナログ信号を出力するものである。デューティをアナログ処理することで、原理的には高い分解能を得ることができる。もちろん効率は悪いがデジタル信号を伝送しても良い。

## 【0089】

(c)は、本発明のデジタル伝送の場合を示している。デジタル伝送では、伝送波形に同一レベルが続かないように例えばマンチェスタ符号などのような符号変換を施してから、絶縁バリヤを駆動し、出力回路では、これを検出して、逆変換し元のデジタル信号を再生する。この場合は入力デジタル信号の転送周波数に同期して符号変換および逆変換を行う。この方法は振幅方向の変換が少ないので雑音の影響を受け難い特徴がある。

## 【0090】

(d)は、AD変換入力を絶縁バリヤを通じて行う場合を示している。入力回

路では、アナログの入力信号をAD変換し、さらに、(c)と同じ符号変換を施してから絶縁バリヤを駆動する。出力回路では、これを検出して、逆符号変換してからデジタル信号を出力する。

#### 【0091】

(e)は、逆にDA変換出力を絶縁バリヤを通じて行う場合を示している。入力回路では、デジタルの入力信号を(c)と同じ符号変換を施してから絶縁バリヤを駆動する。出力回路では、これを検出して、逆符号変換してからDA変換してアナログ信号を出力する。

#### 【0092】

(f)は、(d)と(e)とを組み合わせるアナログ信号の入出力をAD変換及びDA変換を用いて実施する場合を示している。(d)から(f)の信号伝送方式は、デジタル信号の接続先をDSPとすることにより、モデムなどの音声信号処理アナログフロントエンド及び回線インターフェイスに好適な構成である。

これらの方式は部分的には以前から提案されている方式であるが、本発明によりモノリシックICに集積化することが可能になる。具体的に言えば、上記した容量性絶縁バリヤは、2つの回路の間を結合するための回路であるが、基板との間のストレー容量が大きく、入力回路、出力回路、絶縁バリヤを別々に作成して組み合わせる場合とは大きな違いがある。即ち、絶縁バリヤでの伝送効率が数分の一と悪いのである。上記した実施例では、出力回路の初段に増幅回路を配置して後に検出処理、復調処理を行うようにしている。

#### 【0093】

図19は本発明の他の実施例のモデム装置の回路ブロック図である。

#### 【0094】

図19において、251はこの実施例の回線インターフェイスICであり、252は端末側回路、253は絶縁カプラ、254は回線側回路、255は高耐圧回路である。また、端末側回路252は、DSPインターフェイス256、モデムデータの出カインターフェイスS0R261、モデムデータの圧縮回路262、送信側マルチプレクサ263、汎用出力レジスタのマスタレジスタG0R264、誤り訂正回路265、受信側マルチプレクサ266、受信モデムデータの伸長回路

267, モデムデータの入力インターフェイスSIR268, 汎用入力データの誤り訂正回路269, 汎用入力レジスタのスレーブレジスタGIRS270 からなっており、絶縁バリヤ253は、送信パス用絶縁カプラ6-1及び受信パス用絶縁カプラ6-2からなっており、回線側回路254は、送信パスは、回線側送信パスのマルチプレクサ271, 送信モデムデータの伸長回路272, DA変換器273, 汎用出力信号の誤り訂正回路274, スレーブの汎用出力レジスタ275, AD変換器276, AD変換データの圧縮回路277, マルチプレクサ278, マスタの汎用入力レジスタGIRM279, 入力データの誤り訂正回路280, 2線/4線変換回路281, SW制御回路283からなっており、高耐圧回路255は、直流閉結回路282及び呼出信号検出回路284からなっている。

## 【0095】

この回路構成の特徴は、第1にAD変換器及びDA変換器を回線側に配置して、絶縁カプラを通る信号をデジタルデータとしたことにある。このために、後述するように、絶縁バリヤを通す際の耐雑音性能が格段に改善する。また、第2は、AD変換信号およびDA変換信号を一旦圧縮して絶縁カプラを通すこととし、この空いた部分に制御信号を誤り訂正符号化してはめ込み、アイソレータ6を6-1及び6-2の2つと半減していることである。一般に絶縁バリヤを半導体基板上に搭載すると大きな面積を必要とすることが知られており、データの圧縮伸長及び誤り訂正などの回路追加部分の面積増加と総合的に判断するとこの形態も成り立つ。さらに、第3は、機能的には図1と殆ど同じであり、高耐圧回路255の内部回路、回線側回路254における2線/4線変換回路281, SW制御回路283はまったく同じ機能である。また、第4は、マルチプレクサ266には絶縁カプラ6-2の再生クロック及びDSPからのクロックの両方を入れてタイミング調整をしていることである。1ビットあるいは2ビットのバッファメモリを配置することでタイミングの調整をすることができる。第5は、汎用入出力レジスタGOR, GIRが、マスタレジスタの内容をスレーブレジスタに逐次転写していることである。もちろんこの回路の変形として、技術が進歩して絶縁カプラがさらに小さくなった場合に雑音が少なく誤りにくいときには圧縮や、誤り訂正やマルチプレクサを省略しても良い。次に、図20を用いてこの実施例の効果

を説明する。

【0096】

図20において、(a)は鋸波形を搬送波に用いた場合、(b)は三角波を搬送波に用いた場合を示しており、両図のように送信信号および受信信号がアナログ信号であっても、絶縁バリヤにはデジタルPWM信号しか通過せず、DSP、モデム処理、絶縁カプラの動作タイミングを同期していることにより、絶縁バリヤでの伝送誤りに最も耐える性能とできる。

【0097】

図21は、回線インターフェイスICを2チップ構成とした場合を示している。図21において、291は回線インターフェイスチップ、292は端末インターフェイスチップであり、回線インターフェイスチップ291には、端子領域293、回線側高電圧回路領域294、端子領域295を配置し、端末インターフェイスチップ292には端子領域296、回線側低電圧回路領域297、絶縁カプラ領域298、端末側回路領域299、端子領域300を配置した。回線側高耐圧回路領域294には、直流閉結回路及び着信(RING)検出回路を配置した。また、端末インターフェイスチップ292の回線側低電圧回路領域297には2線/4線変換回路、OFHKスイッチ(SW)制御回路及び発信回路を配置した。このようにすることにより、高電圧の回路素子が必要な回線インターフェイスチップ291のプロセス条件を絶縁バリヤや低電圧である回路素子の回路と切り離すことにより効率の良いプロセスを選択できる利点がある。また、1つのICチップのサイズを小さくすることでプロセスにおける総合的な歩留まりの影響を低減して、ウェーハ当たりのICチップ取得数を増やす効果もある。また、回線インターフェイスチップは個別部品を用いてディスクリート回路としても良い。このようにすることにより、端末インターフェイスチップにはロジック信号及びモデムの信号レベルの信号だけになり、直接回線と接続する部分がなくなるので、モデム以外の応用など、例えば、多機能電話機の内部回路に用いるなど適用範囲を広げやすい効果が生まれる。

【0098】

図22は、絶縁バリヤの他の実施例の構造図で、(a)は1重絶縁、(b)は

2重絶縁、(c)は2重絶縁の他の変形した実施例の断面図である。図21において、207は絶縁バリア、206-1, 206-2, 206-3は絶縁帯、241, 242は絶縁帯206で囲んだ電極領域、244および245は電極領域241および242上部の保護層に開けた穴である端子、301-1及び301-2はしきりである。図22(a)及び(b)は、図9の実施例同様に絶縁帯に一切の鋭角をもたないパターンの実施例を示している。

#### 【0099】

図22(a)のパターンの特徴は、絶縁帯206-1および206-2の一筆書きで端子244, 245を有する電極領域241, 242を形成したことにあり、このようにすると、T字状に絶縁帯同士が接続する部分を排除することができ、トレンチ法で溝を埋めるときの効率が良いばかりでなく、電界の集中を軽減する効果がある。図22(b)も同様で、このパターンの特徴は、絶縁帯206-3および206-4の一筆書きで端子244, 245を有する電極241, 242を形成し、これらをそれぞれ、絶縁帯206-1, 206-2でさらに囲んだことにあり、これによって、絶縁帯206-1と206-3との間、絶縁帯206-3と206-4との間で形成した中間電極が形成され、このために2倍の耐圧性能を出せる効果がある。図22(c)のパターンは、図22(a)及び図9の実施例の変形例であり、2つのT字部を許せば絶縁帯206-3で囲ったことで面積効率の良い絶縁バリアを実現することができる効果がある。(a) (b)の方法は、さらに直列数を増やす場合にも効率よく展開できる。

#### 【0100】

本発明は、絶縁カプラ単体としても有効であり、これを図23を用いて説明する。図23は、本発明の絶縁カプラの一実施例の構造図であり、図23における絶縁カプラ203は、図8の絶縁カプラ部分に、入力回路用の端子領域201および出力回路用の端子領域205を設けそれぞれの端子を配置したもので、約2mm平方の大きさである。このようにすることにより超小型のアナログPWM方式のモノリシック絶縁カプラ部品ができる。これは、もちろん後工程でパッケージに実装して使用するがモノリシックであるために極めて小型なために、計測器のプロープや医療用の各種センサのような応用装置の内部に実装し、これらの装置の

小型化、高性能化に貢献することができる。

#### 【0101】

また、図24は、図23の2つの絶縁カプラを1チップに搭載する場合のレイアウト構想図である。図24において、203は2カプラ内蔵1チップ絶縁カプラであり、203-1、203-2はそれぞれ内蔵する絶縁カプラ1および絶縁カプラ2であり、各々絶縁帯206-1および206-2で囲んである。このレイアウトの特徴は、(1)各絶縁カプラを絶縁帯62-1及び62-2で囲んだこと、及び、(2)電界が集中する絶縁バリヤを整列したことである。このようにすることで、2つの入力と2つの出力間のいずれとの間に対しても絶縁耐圧を確保することができ、絶縁耐圧を維持しながら自由に各回路要素を配置することができる効果がある。また、この構造により、不要な電気回路的な結合を最小とすることができ、応用範囲を広げることができる。

#### 【0102】

図25は、本発明の絶縁カプラのさらに他の実施例であり、絶縁帯によって各々絶縁した入力回路及び出力回路を集積回路化して、セラミックキャパシタを絶縁バリヤと組み合わせて絶縁カプラとする場合の集積回路と絶縁カプラの構造を示している。図25において、(a)はチップレイアウトの概要であり、(b)はこのICとセラミックキャパシタの回路基板への実装断面図である。図25(a)において、303は絶縁カプラ用ICであり、206-1および206-2はそれぞれ入力回路領域及び出力回路領域を囲む絶縁帯であり、304は外付け絶縁バリヤ、端子領域201および205はそれぞれ外付け絶縁バリヤ304との接続端子C1-OおよびC2-O、C1-IおよびC2-Iを加えている。その他の符号は図23と同じ意味である。図25(b)において303は絶縁カプラ用IC、305および306はハンダである。307は回路基板で、両面に銅箔308、309、310、311の回路接続パターンを有し、必要に応じてスルーホール312、313を設けてある。回路基板307は絶縁性を損なわぬ範囲で必要に応じて銅箔を多層にしても構わない。絶縁バリヤ304はチップキャパシタであり、回路基板にハンダ316、307によって表面実装する。このようにすることで、半導体集積回路で比較的大きな面積を占める絶縁バリヤを別

チップとして、絶縁カブラの形状寸法は大きくなるが現実的な価格としたり、また、絶縁バリアのキャパシタ値を積極的に大きくして動作タイミング周波数を自由に選択できる構成法も可能になる。すなわち、キャパシタ値を大きくすることで低周波数特性が向上するので波形伝送しやすくなり、例えば、チャージポンプ回路などにより小さな電力伝達も可能になる利点がある。

【0103】

以上のように、これらの実施例によれば、半導体集積回路上に無理なく絶縁カブラを形成することが可能であり、集積回路の用途を大きく広げることができる。また、このようにして形成した絶縁カブラは、小型化と低価格化に大きく貢献する効果がある。

【0104】

図26は本発明の第1の実施例であるアイソレータの(a)断面図、及び(b)平面図である。断面図の901及び902及び903はそれぞれ、SOI基板の支持基板及び埋込酸化膜及びシリコン層である。904はCMOSデバイス等の素子分離に用いる熱酸化で形成したLOCOS(Local Oxidation of Silicon)である。921から925はLOCOS表面から埋込酸化膜902に達する帯状に形成したトレンチ絶縁膜である。911及び912はそれぞれ拡散層で形成した1次側及び2次側のキャパシタ電極である。906、907及び908はそれぞれメタル1層下地層間膜、メタル2層下地層間膜及びメタル3層下地層間膜である。910はメタル3層で形成した中間電極である。915及び916はそれぞれ1次側電極及び2次側電極への引き出し配線である。909はキャパシタ領域。913及び914はそれぞれキャパシタを除く1次側及び2次側の回路領域である。平面図の添字である(a)及び(b)は相補信号で構成する伝送信号のポジ信号及びネガ信号に対応する。

【0105】

支持基板901、埋込酸化膜902及びシリコン層903からなるSOIウェーハに、デバイス分離のための熱酸化膜LOCOS904を形成した後にトレンチ絶縁膜921から925を形成する。925はアイソレータチップの最外周を囲むトレンチ絶縁膜でありチップスクライプ端からのリークを防止する。トレンチ絶縁膜

を幾重にも形成することで信頼性を高めることが可能になる。923及び924はそれぞれ1次側の回路領域及び2次側の回路領域を囲むトレンチ絶縁膜であり、1次側と2次側との絶縁分離のための耐圧の一端を担っている。921は1次側回路領域内に設けた1次側キャパシタ電極領域を分離するトレンチ絶縁膜。

#### 【0106】

922は2次側回路領域内に設けた2次側キャパシタ電極領域を分離するトレンチ絶縁膜。910はメタル3層目で形成したキャパシタの中間電極である。電氣的に絶縁された1次側と2次側との信号の伝送を容量結合により実現する本実施例のアイソレータの容量（キャパシタ）は次のような直列接続されたキャパシタで構成される。1次側キャパシタ電極911と中間電極910とで構成する第1のキャパシタと、中間電極910と2次側キャパシタ電極912とで構成する第2のキャパシタである。中間電極910は、絶縁膜である層間膜906、907、908上において、1次側回路領域上から2次側回路領域上にまたがって設けられる。すなわち、中間電極910により第1のキャパシタから第2のキャパシタへ折り返す構成を採ることで、両キャパシタを対称に形成することができ直列接続を成す2つのキャパシタの絶縁耐圧や容量値のバラツキを低減できる。また、それぞれのキャパシタの絶縁膜は以下、（1）LOCOS904、（2）メタル1層下地層間膜906、（3）メタル2層下地層間膜907、（4）メタル3層下地層間膜908の4層で構成される。このように、厚い絶縁膜を複数層用いて構成することで絶縁耐圧を確保することができる。

#### 【0107】

本実施例では1次側と2次側との絶縁耐圧をSOIの埋込酸化膜とトレンチ絶縁膜及びLOCOSを含む層間絶縁膜により確保している。また、1次側と2次側との間の信号伝送を担うキャパシタの絶縁耐圧は拡散層とメタル層との間のLOCOSを含む層間絶縁膜で確保する。本実施例では、同一半導体基板上で1次側と2次側との絶縁分離ができ、更に1次側と2次側との間に高い絶縁耐圧を有するキャパシタを形成できるためアイソレータをモノリシック化することができる。また、1次側と2次側との間キャパシタを層間膜で構成するため、SOIのシリコン膜厚に係わらず所望の容量値を得ることができる。

【0108】

図27には1次側と2次側との間に設けるキャパシタ絶縁膜の構成例を示す。

(a) は拡散層931とpoly-Si層932とを電極層とし、熱酸化膜934で絶縁層を形成する。熱酸化膜は絶縁破壊電界強度が高く、より薄い膜で所望の絶縁耐圧を実現できるため、容量としての面積を小さくすることが可能になる。

(b) は拡散層931とpoly-Si層932とを電極層とし、熱酸化膜934とCVD絶縁膜935とで絶縁層を形成する。本構成では、プロセスの制約等により熱酸化膜の膜厚を厚くできない場合にCVD絶縁膜を積層することにより所望の耐圧を実現することができる。

【0109】

(c) は拡散層931とメタル層933とを電極層とし、熱酸化膜934で絶縁層を形成する。本構成では、(a)の場合と同様に容量の面積を小さくすることができる。

【0110】

(d) は拡散層931とメタル層933とを電極層とし、CVD絶縁膜935で絶縁層を形成する。本構成では、積層化することで所望の耐圧を得ることができる。

【0111】

(e) はpoly-Si層932とメタル層933とを電極層とし、CVD絶縁膜935で絶縁層を形成する。CVD絶縁膜935は、2層以上に分けて成膜することにより、CVD絶縁膜のストレスの低減やクラック及び剥がれの防止を図ることができる。

【0112】

(f) はpoly-Si層932とメタル層933とを電極層とし、CVD絶縁膜935と有機絶縁膜936とで絶縁層を形成する。本構成では、CVD絶縁膜と有機絶縁膜とを積層することで段差緩和を図ることができる。

【0113】

(g) はメタル層933で電極層を形成し、CVD絶縁膜935で絶縁層を形成する。CVD絶縁膜935は、2層以上に分けて成膜することにより、CVD

絶縁膜のストレスの低減やクラック及び剥がれの防止を図ることができる。

【0114】

(h) はメタル層 933 で電極層を形成し、有機絶縁膜 936 で絶縁層を形成する。有機絶縁膜 936 は、2 層以上に分けて成膜することにより、有機絶縁膜のストレスの低減やクラック及び剥がれの防止を図ることができる。

【0115】

(i) はメタル層 933 で電極層を形成し、CVD 絶縁膜 935 と有機絶縁膜 936 とで絶縁層を形成する。本構成では、CVD 絶縁膜と有機絶縁膜とを積層することで段差緩和を図ることができる。

【0116】

本実施例によれば、プロセスデバイスの制約や容量値によりキャパシタの構成を選択することができる。

【0117】

図 28 は本発明のアイソレータの他の実施例の断面図である。901 及び 902 及び 903 はそれぞれ、SOI 基板の支持基板及び埋込酸化膜及びシリコン層である。954 は高耐圧キャパシタに用いる熱酸化で形成した絶縁膜である。921 から 925 は絶縁膜 954 の表面から埋込酸化膜 902 に達する帯状に形成したトレンチ絶縁膜である。911 及び 912 はそれぞれ拡散層で形成した 1 次側及び 2 次側のキャパシタ電極である。906 及び 907 はそれぞれメタル 1 層下地層間膜及びメタル 2 層下地層間膜である。917 はポリシリコン層で形成した中間電極である。915 及び 916 はそれぞれ 1 次側電極及び 2 次側電極への引き出し配線である。909 はキャパシタ領域。913 及び 914 はそれぞれキャパシタを除く 1 次側及び 2 次側の回路領域である。また、平面図は図 26 (a) と同様である。

【0118】

SOI 基板に高耐圧キャパシタ用の絶縁膜 954 を形成し、図示していないデバイス分離のための熱酸化膜 LOCOS904 を形成した後にトレンチ絶縁膜 921 から 925 を形成する。絶縁膜 954 を形成する前に絶縁膜 954 形成部分を予めエッチング等で後退させた後に熱酸化により絶縁膜 954 を形成することで絶縁膜

954による段差を緩和している。925はアイソレータチップの最外周を囲むトレンチ絶縁膜でありチップスクライプ端からのリークを防止する。トレンチ絶縁膜を幾重にも形成することで信頼性を高めることが可能になる。923及び924はそれぞれ1次側の回路領域及び2次側の回路領域を囲むトレンチ絶縁膜であり、1次側と2次側との絶縁分離のための耐圧の一端を担っている。921は1次側回路領域内に設けた1次側キャパシタ電極領域を分離するトレンチ絶縁膜。922は2次側回路領域内に設けた2次側キャパシタ電極領域を分離するトレンチ絶縁膜。917はポリシリコン層で形成したキャパシタの中間電極である。電氣的に絶縁された1次側と2次側との信号の伝送を容量結合により実現する本実施例のアイソレータの容量（キャパシタ）は次のような直列接続されたキャパシタで構成される。1次側キャパシタ電極911と中間電極910とで構成する第1のキャパシタと、中間電極917と2次側キャパシタ電極912とで構成する第2のキャパシタである。

#### 【0119】

本実施例では1次側と2次側との絶縁耐圧をSOIの埋込酸化膜とトレンチ絶縁膜及び絶縁膜により確保している。また、1次側と2次側との間の信号伝送を担うキャパシタの絶縁耐圧は拡散層とポリシリコン層との間の熱酸化で形成する絶縁膜で確保する。本実施例では、同一半導体基板上で1次側と2次側との絶縁分離ができ、更に1次側と2次側との間に高い絶縁耐圧を有するキャパシタを形成できるためアイソレータをモノリシック化することができる。また、1次側と2次側との間キャパシタを層間膜で構成するため、SOIのシリコン膜厚に係わらず所望の容量値を得ることができる。また、高耐圧キャパシタ用の絶縁膜が絶縁破壊電界強度が高い熱酸化膜で形成されている。このため、所望の絶縁耐圧に対する膜厚が薄くでき、キャパシタの面積を小さくできる。また、高耐圧キャパシタの絶縁膜を形成する前に、予めエッチング等により表面を後退させることで段差を低減することができる。

#### 【0120】

図29にV溝による誘電体分離（以下、DIと称す）基板を用いたモノリシックアイソレータの断面図を示す。1次側と2次側の絶縁分離及びそれぞれのキャ

パシタ電極領域の分離をD I 基板 9 1 8 で実現している点を除けば、図 2 6 に示した実施例とほぼ同様である。よって、詳細な説明は割愛する。

#### 【0121】

本実施例によれば、1 次側と 2 次側との絶縁耐圧をD I 基板及び絶縁膜により確保すると共に、1 次側と 2 次側との間の信号伝送を担うキャパシタの絶縁耐圧は拡散層とメタル層との間の熱酸化膜を含む層間絶縁膜で確保する。本実施例では、同一半導体基板上で1 次側と 2 次側との絶縁分離ができ、更に1 次側と 2 次側との間に高い絶縁耐圧を有するキャパシタを形成できるためアイソレータをモノリシック化することができる。また、1 次側と 2 次側との間にキャパシタを層間膜で構成するため層間膜の厚さにより所望の耐圧を得ることができる。

#### 【0122】

図 3 0 は本発明のアイソレータの他の実施例を示す (a) 断面図及び (b) 平面図である。トレンチ絶縁膜のパターンを除けば、ほぼ図 2 8 に示す実施例と同様である。9 2 5 はアイソレータチップの最外周を囲むトレンチ絶縁膜でありチップスクライブ端からのリークを防止する。本実施例では図 2 8 の場合と異なり、トレンチ絶縁膜 9 2 5 の内側に 1 次側及び 2 次側の回路領域に加え、他に 2 つのキャパシタ領域をトレンチ絶縁膜 9 2 6 により絶縁分離している。トレンチ絶縁膜 9 2 6 で分離したキャパシタ領域内には、1 次側のキャパシタ電極領域分離のためのトレンチ絶縁膜 9 2 7 と、2 次側のキャパシタ電極領域分離のためのトレンチ絶縁膜 9 2 8 とを配置する。キャパシタ電極領域分離のためのトレンチ絶縁膜 9 2 7 及び 9 2 8 は、トレンチ絶縁膜自体が 1 次側と 2 次側との間に設ける信号伝送用のキャパシタの絶縁膜として作用する。

#### 【0123】

本実施例によれば、図 2 8 の実施例に加え、1 次側と 2 次側との間に設けるキャパシタを、拡散層 9 1 1 及び 9 1 2 とポリシリコン 9 1 7 との間で構成されるキャパシタと、トレンチ絶縁膜で構成されるキャパシタとで構成できるため容量値を稼ぐことができる。

【0124】

【発明の効果】

本発明によれば、小型化、経済化が可能な通信システム、モデム装置を実現できると共に、これに大きく貢献するモノリシックアイソレータを実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施例のモデム装置の回路ブロック図。

【図2】

図1のモデム装置の動作タイミングチャート。

【図3】

図1内のアイソレータの回路ブロック図。

【図4】

図3のアイソレータの動作タイミングチャート。

【図5】

モデム信号処理とアイソレータのタイミングチャート同期。

【図6】

タイミング同期の効果を示すタイミングチャート。

【図7】

図1の回路における回線インターフェイス回路のICのレイアウト。

【図8】

図7のICにおけるアイソレータの構造図。

【図9】

図7のICにおける絶縁バリアの構造図。

【図10】

本発明のモノリシックAFEの一実施例の回路ブロック図。

【図11】

図10のAFE集積回路のレイアウト概念図。

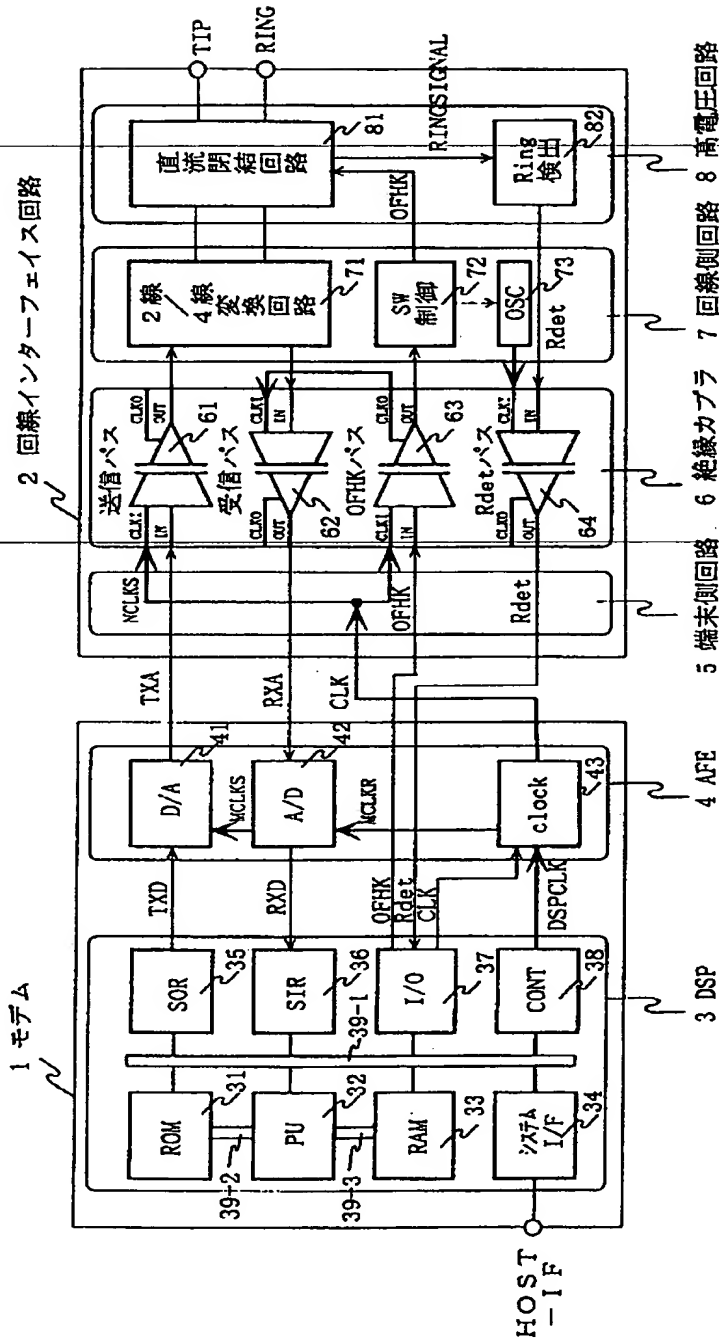
【図12】

図10のAFE集積回路を適用したモデムの回路ブロック図。

【書類名】 図面

【図 1】

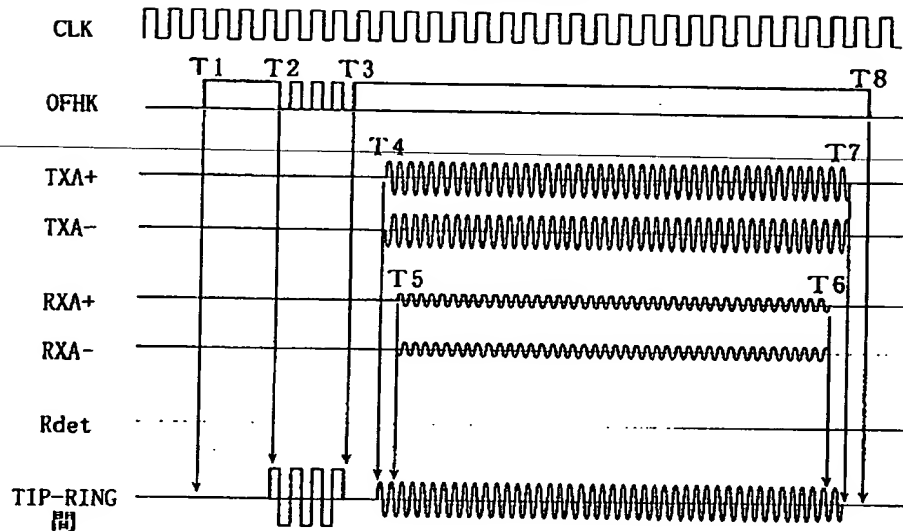
図 1



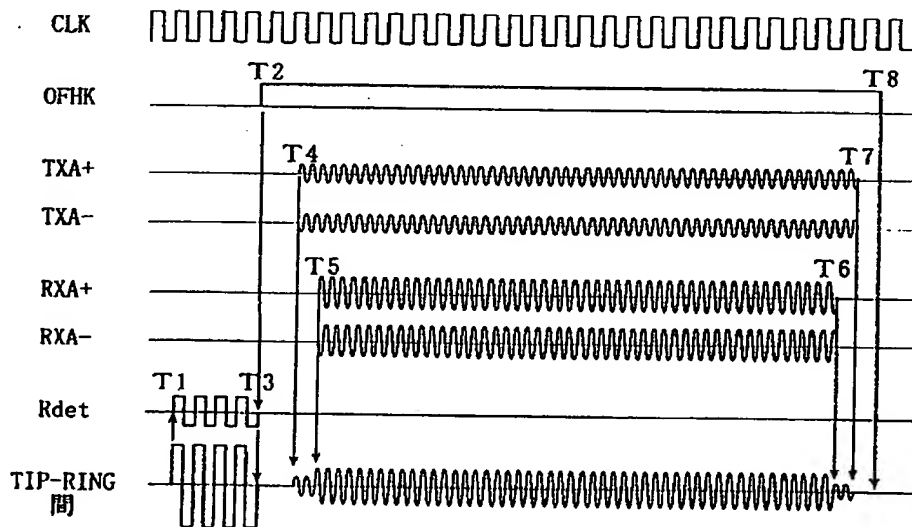
【図 2】

図 2

(a) 送信時の動作

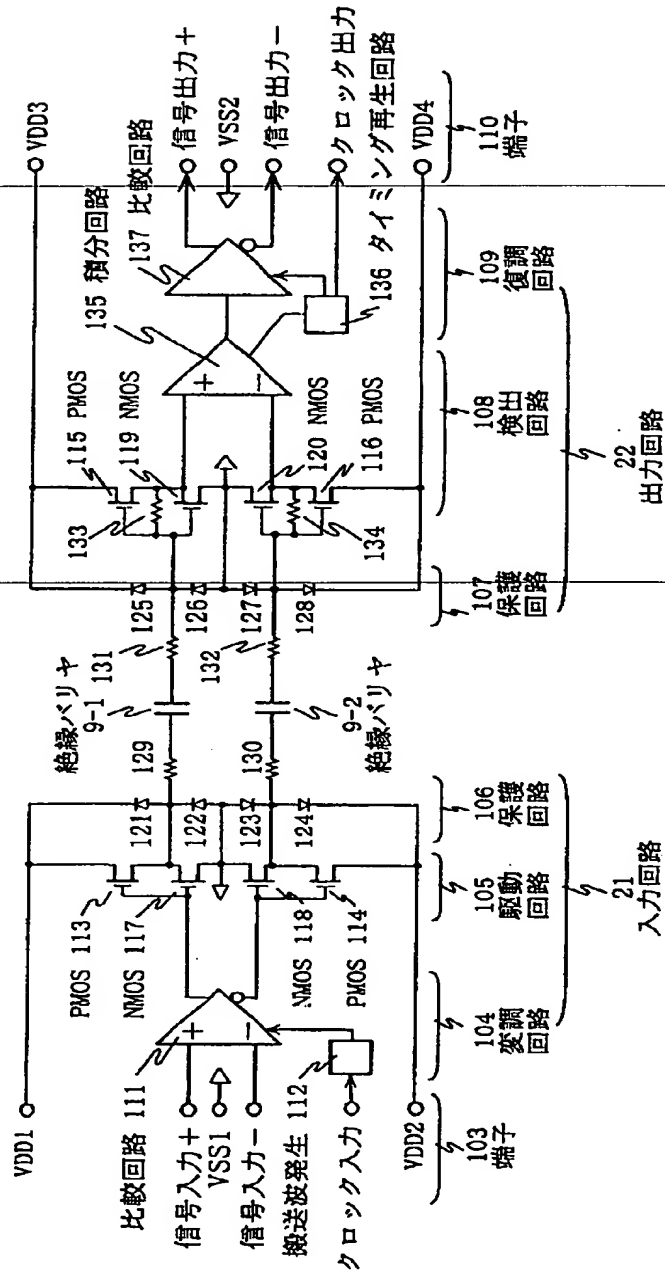


(b) 受信時の動作



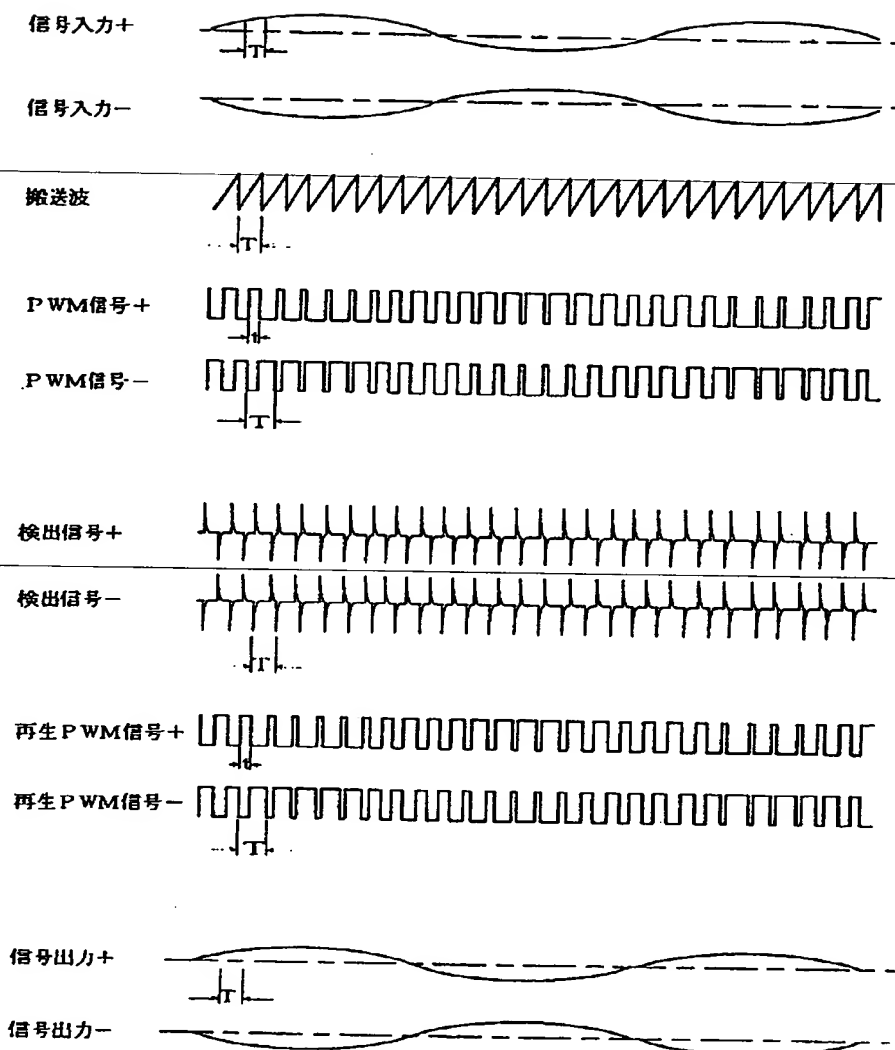
【図 3】

図 3



【図 4】






図 4








【図 5】

図 5

(a) モデム信号処理部分

CLK0		39.3216 MHz
MCLKS		9.6 ksp/s (1.2288 MHz)
MCLKR		9.6 ksp/s (1.2288 MHz)
MDCLK		2.4 kBaud
CLK1		1.2288 MHz

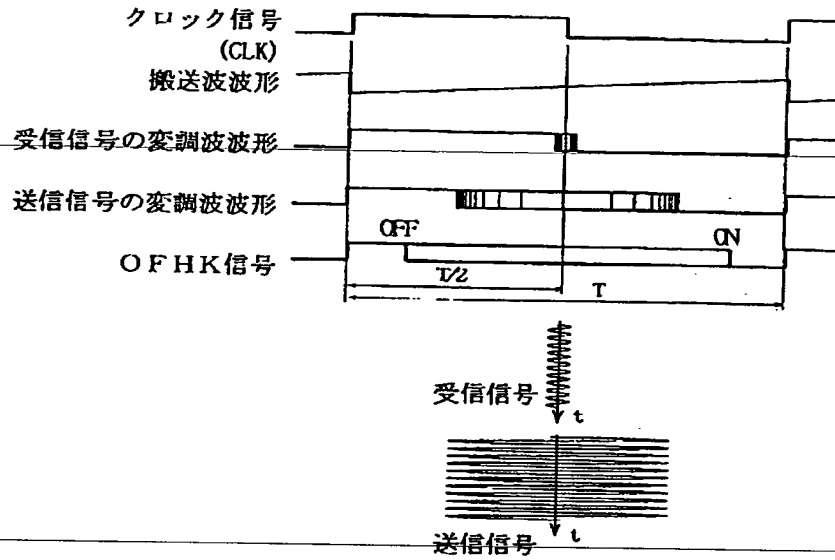
(b) 回線インターフェイス部分

CLK1 (DSPCLK)		1.2288 MHz
NCLKS		1.2288 MHz
NCLKR		1.2288 MHz
CLK2		1.2288 MHz
OF1K		control

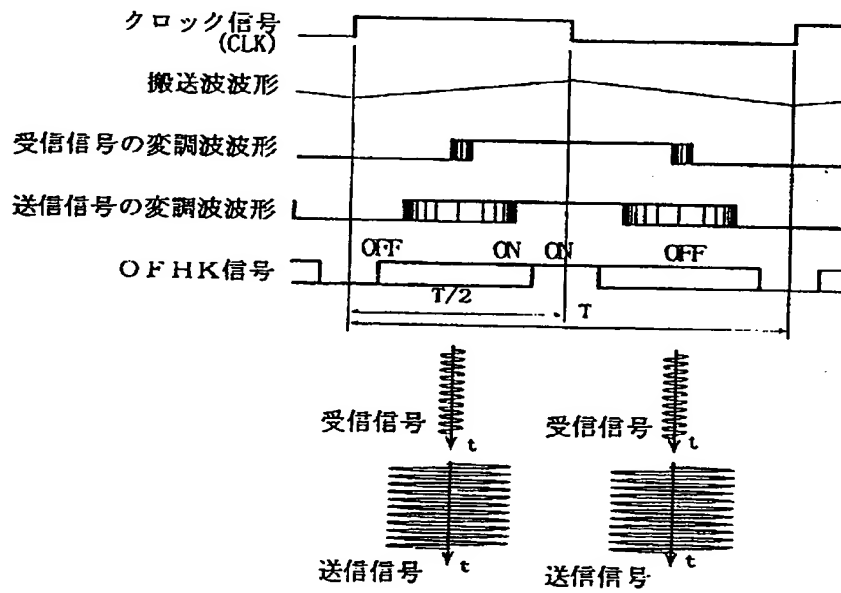
【図 6】

図 6

(a) 鋸波形搬送波 PWM のタイミング

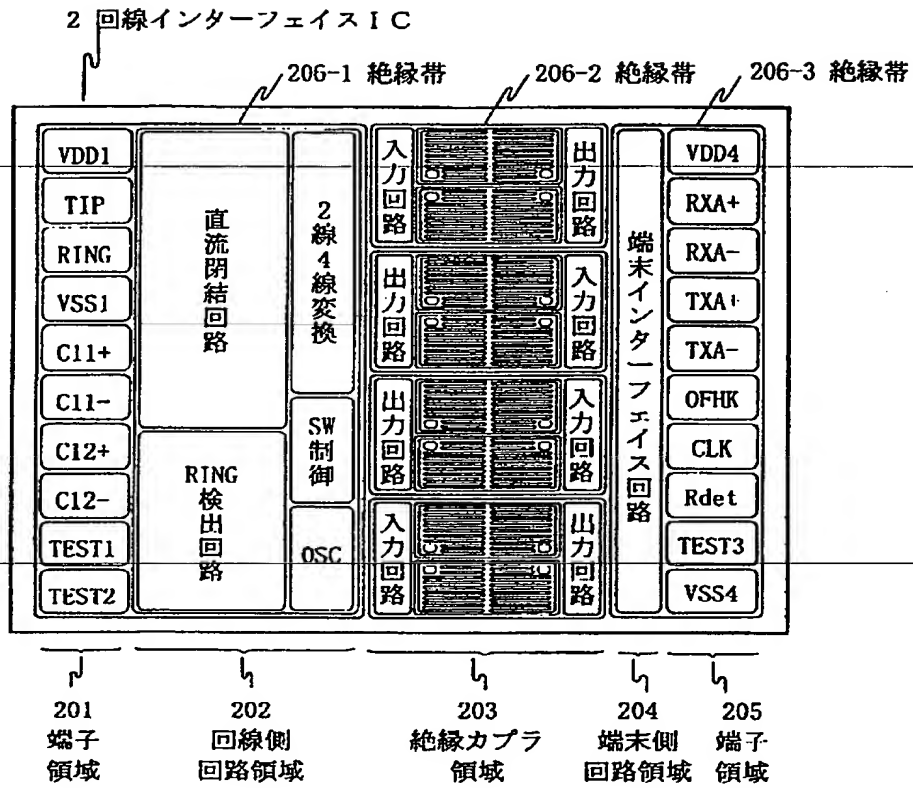


(b) 対称波形搬送波 PWM のタイミング



【図 7】

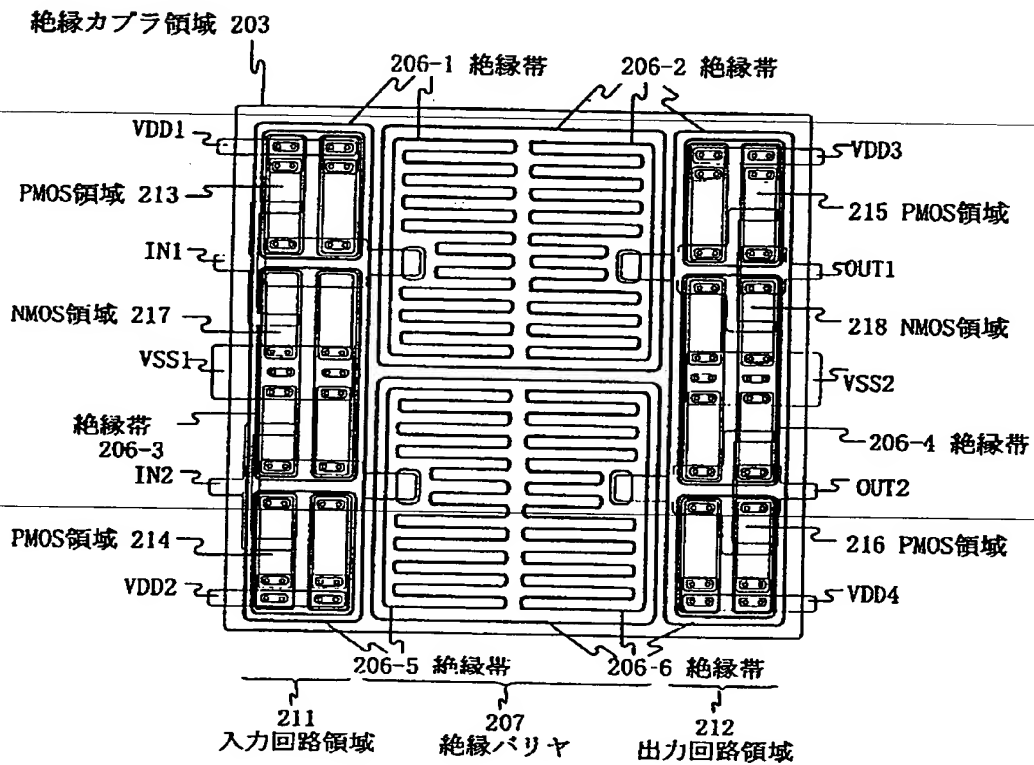
図 7



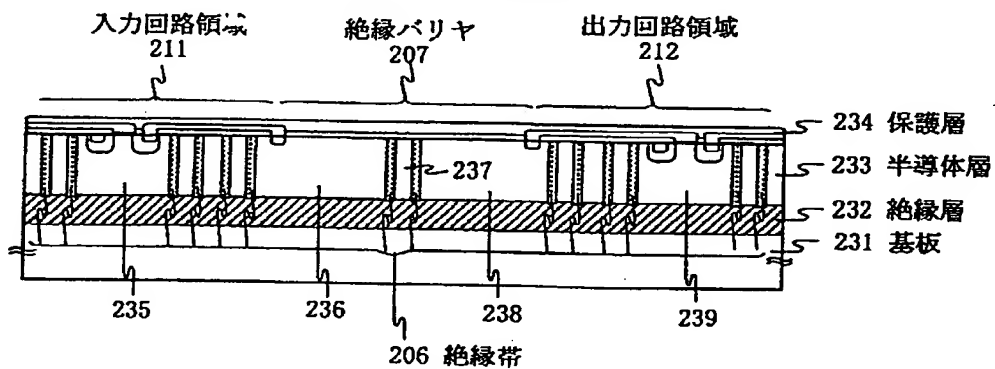
【図 8】

図 8

(a) 絶縁カプラの平面図

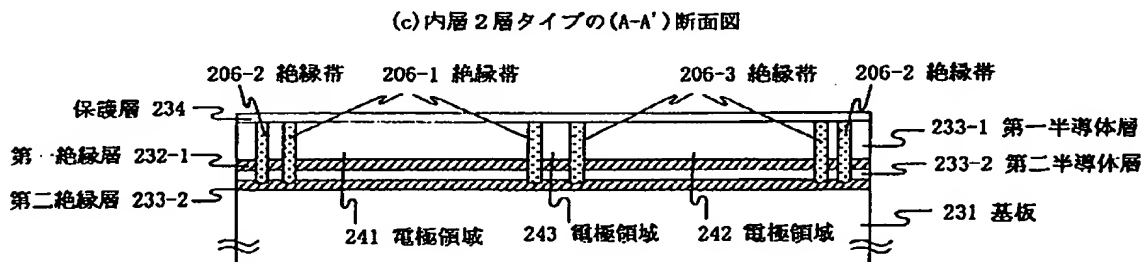
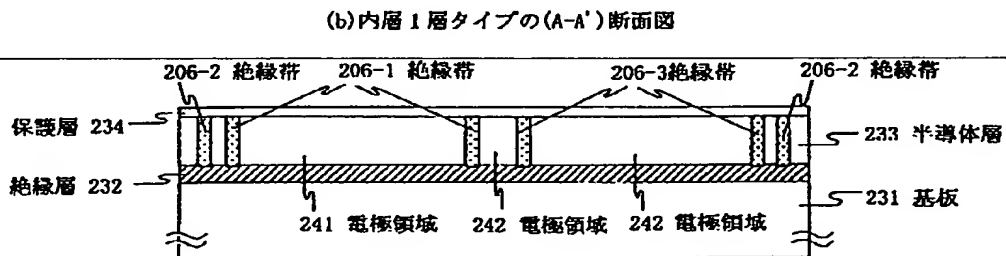
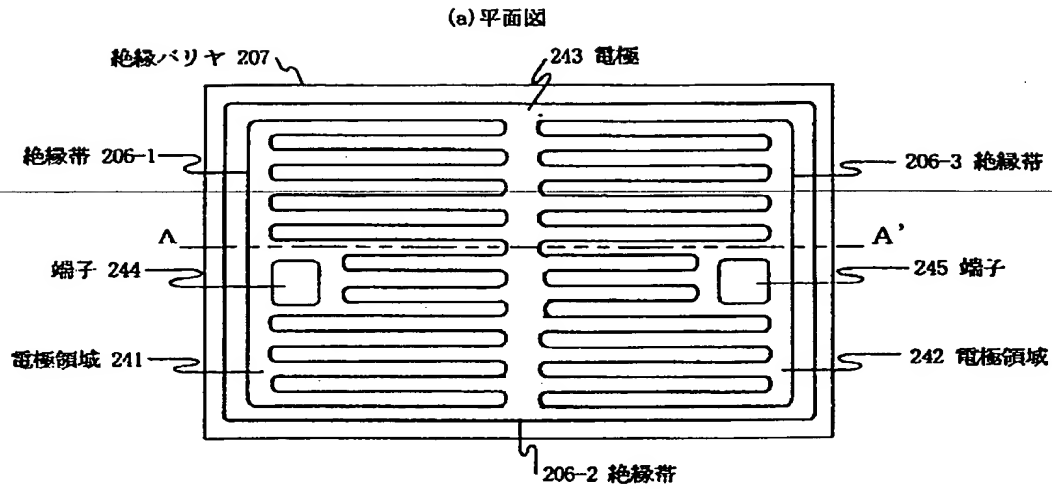


(b) 絶縁カプラの断面図



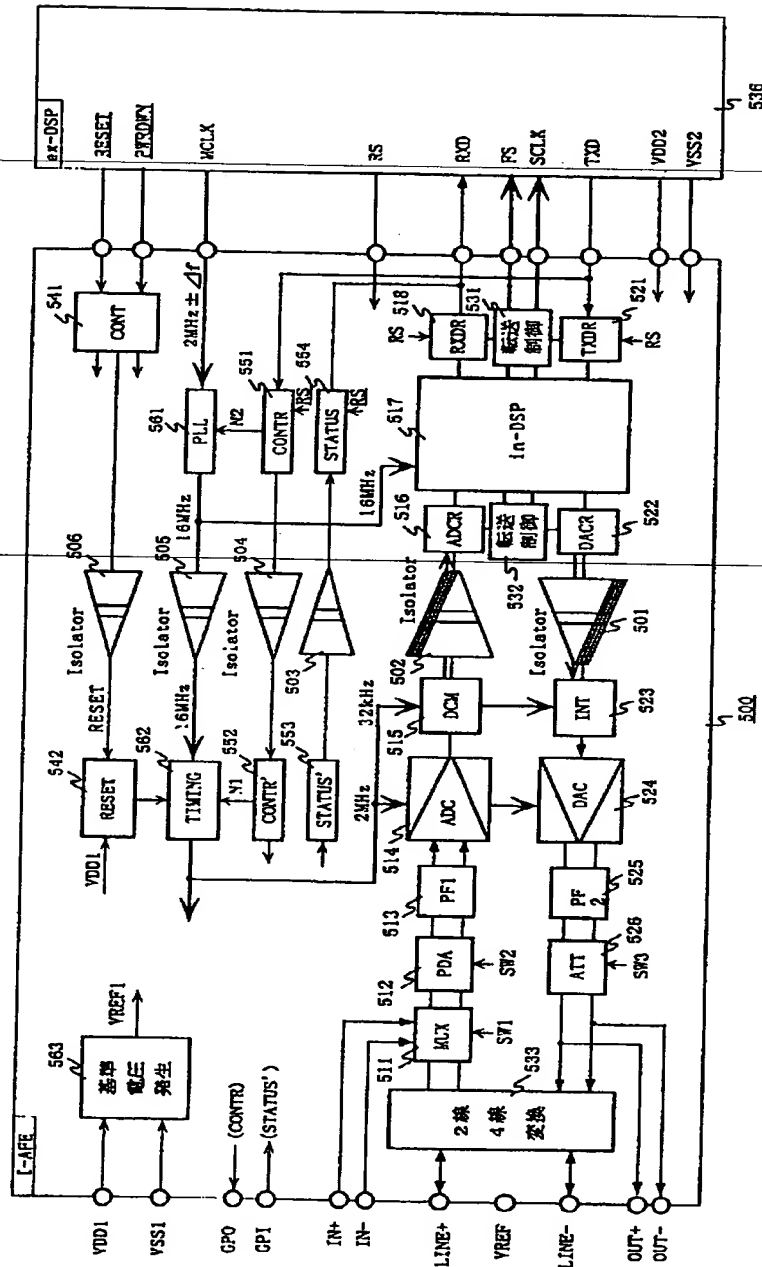
【図 9】

図 9



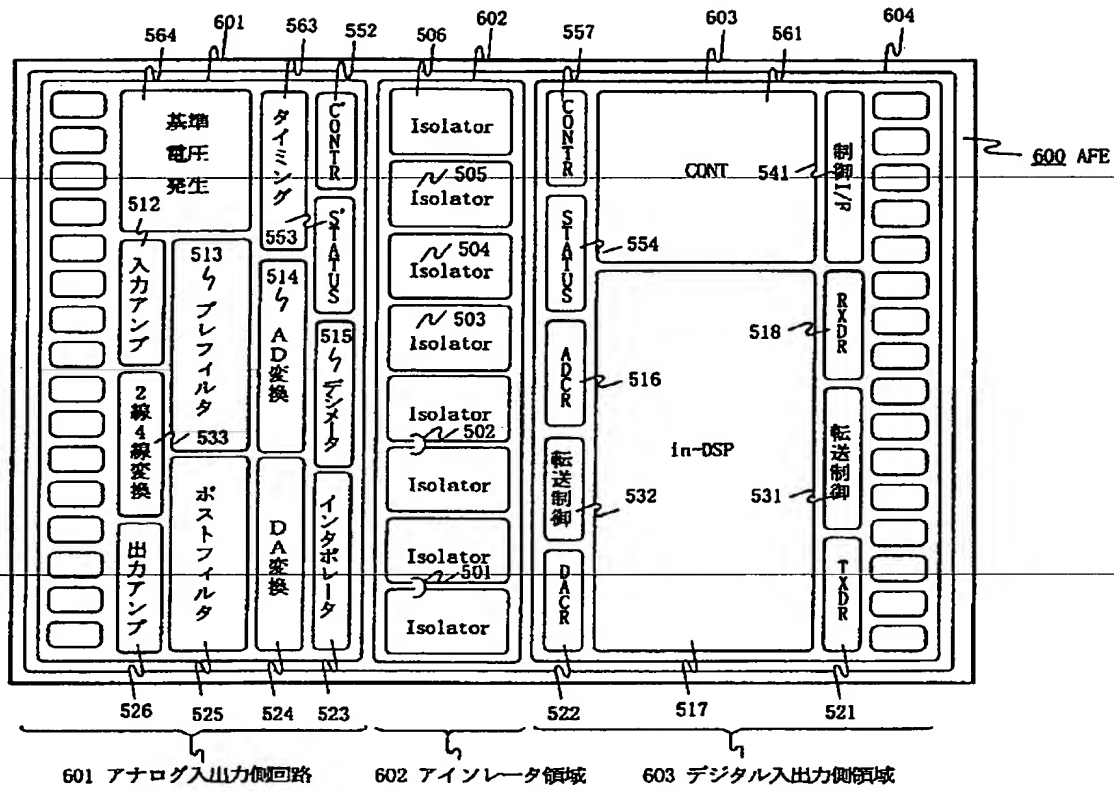
【図 10】

図 10



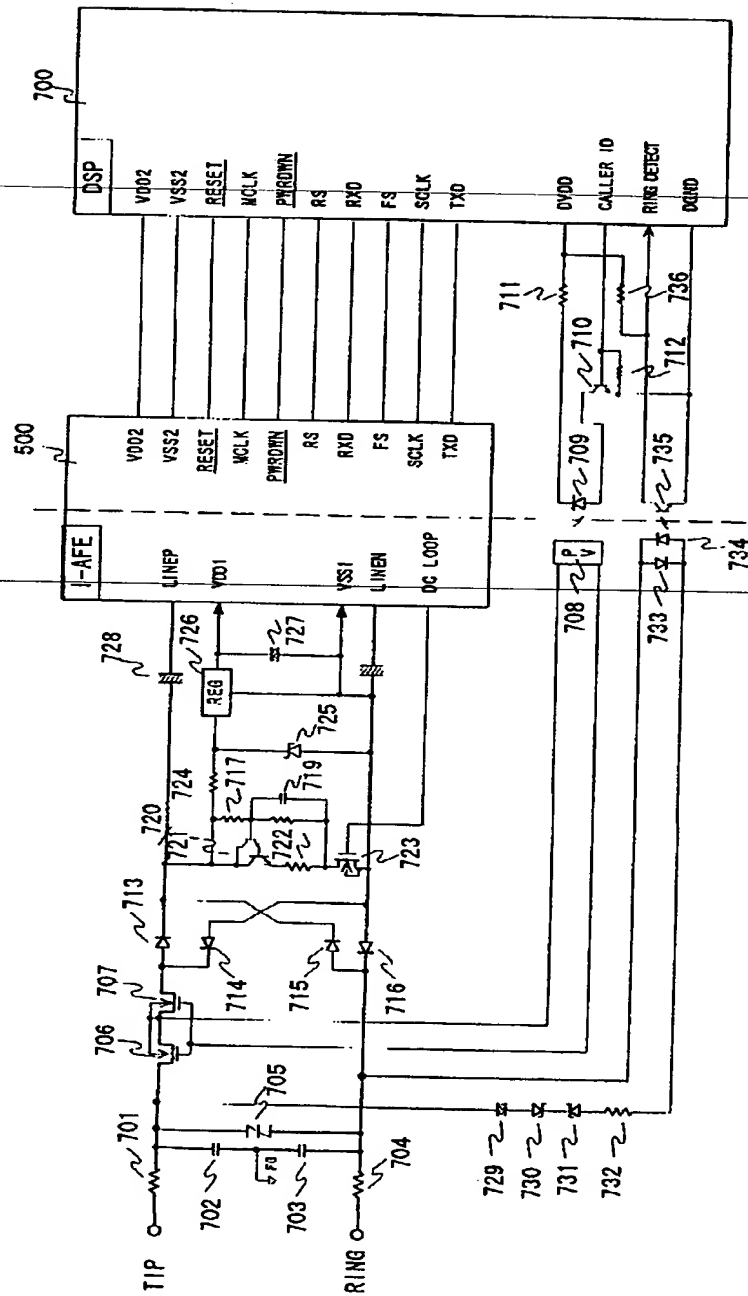
【図 11】

図 11



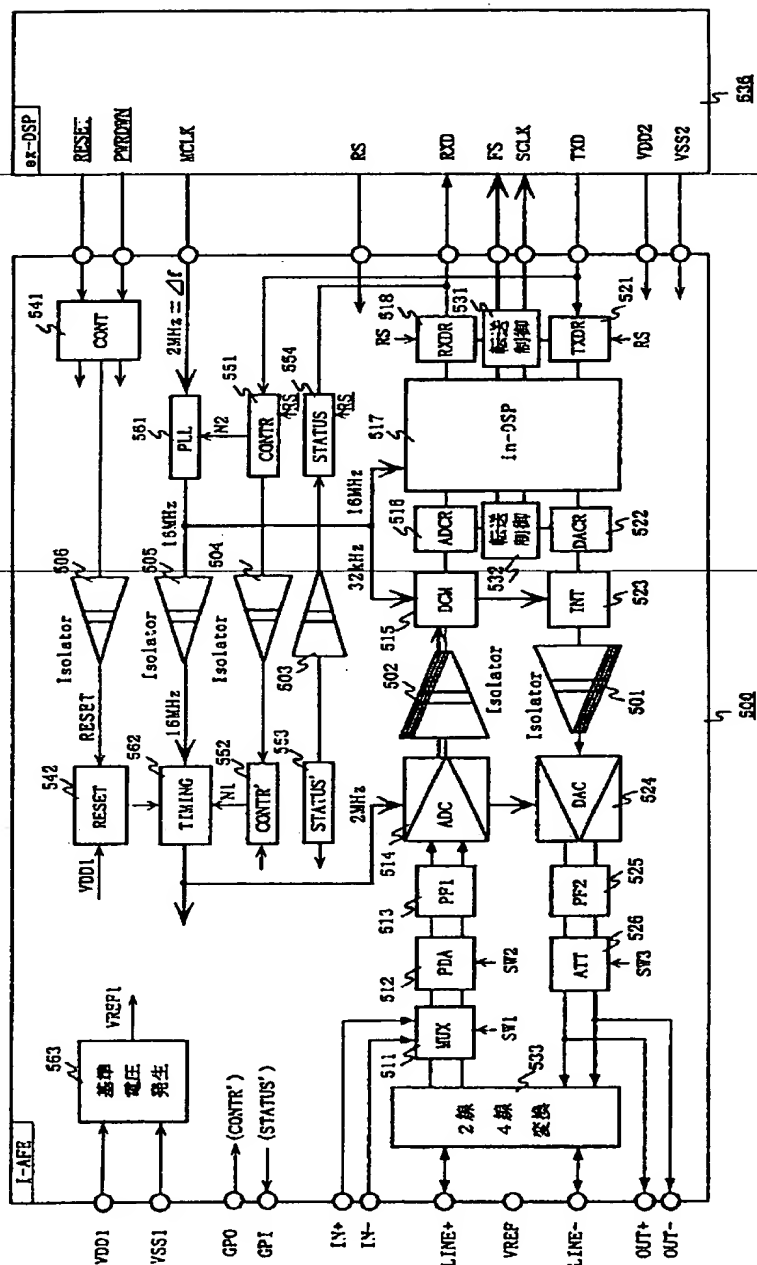
【図 12】

図 12



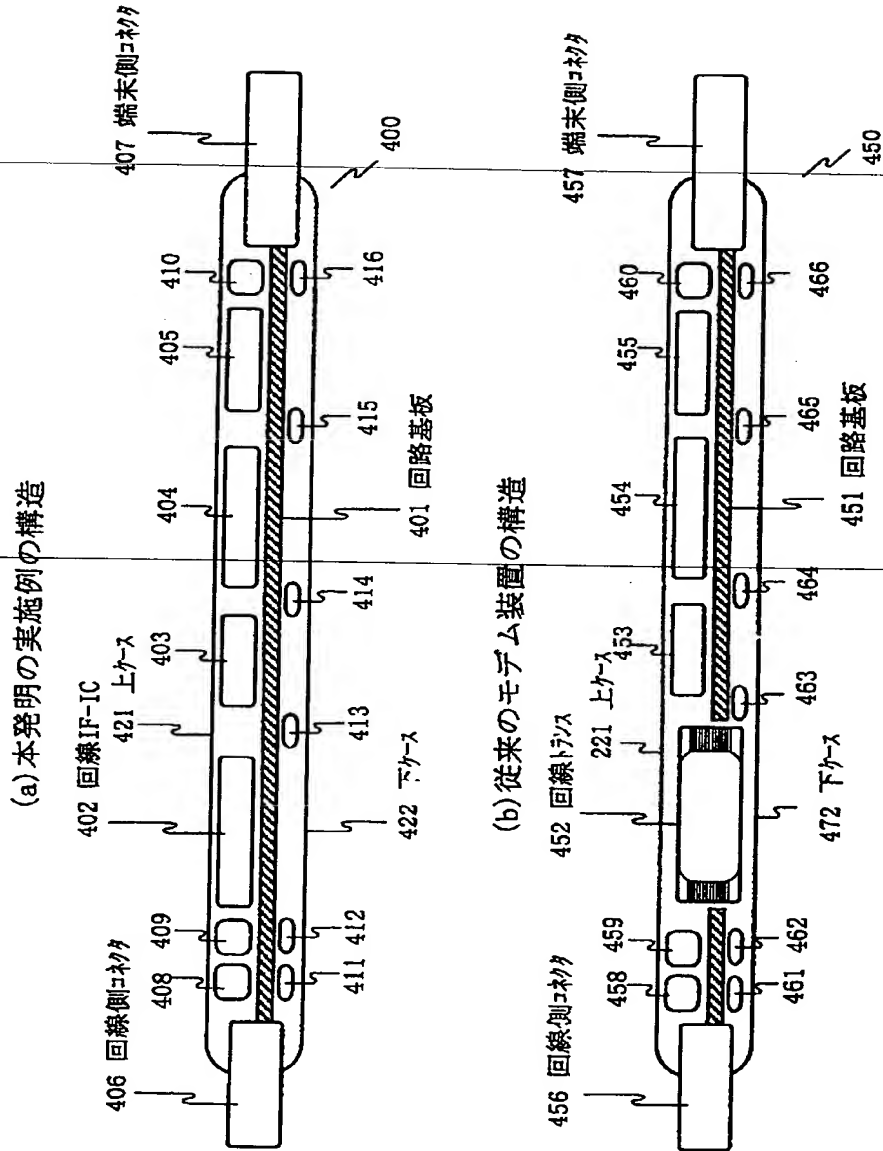
【図 13】

図 13



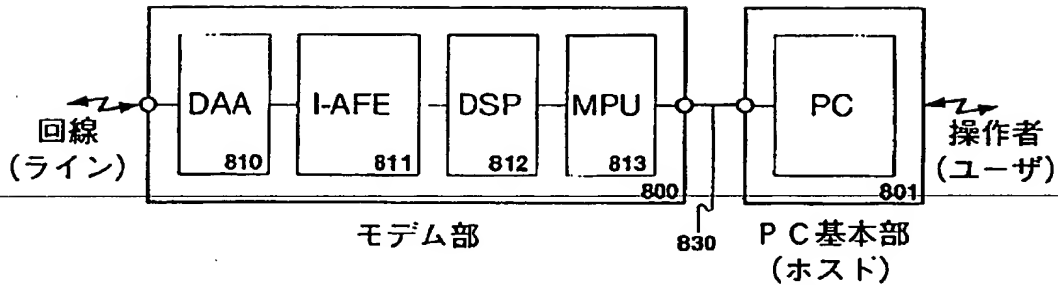
【図 14】

図 14

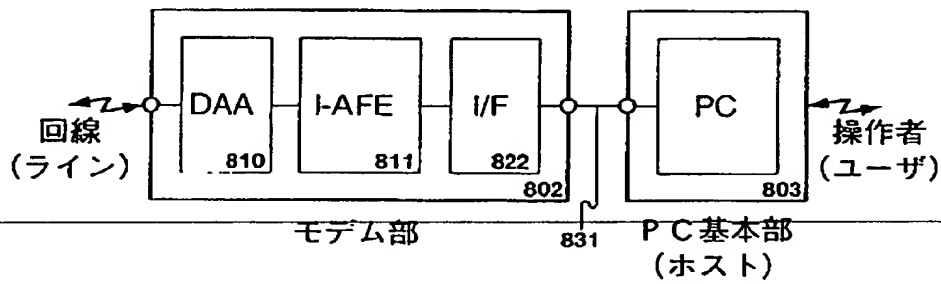


【図 15】

図 15



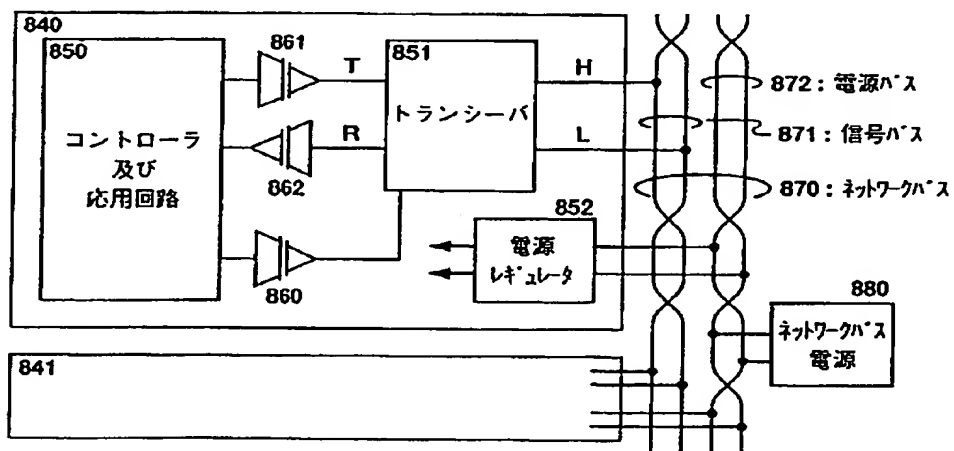
(a) I-AFEを用いた従来型モデムの構成



(b) I-AFEを用いたソフトモデム装置の構成

【図 16】

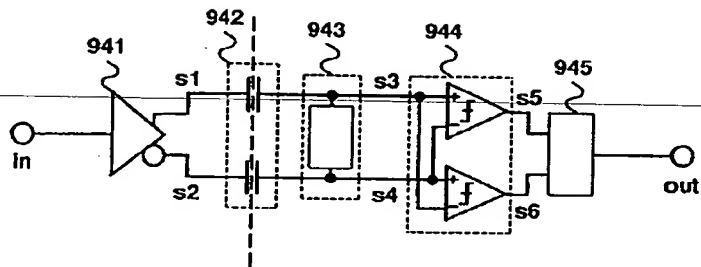
図 16



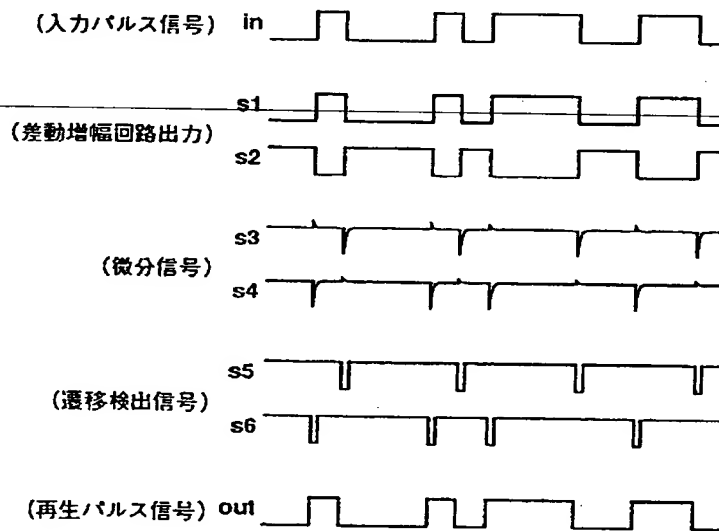
【図 17】

図 17

(a)



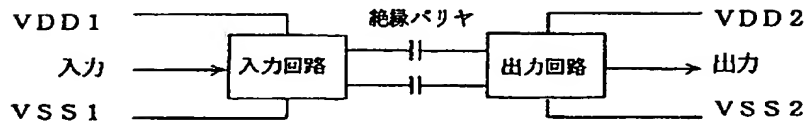
(b)



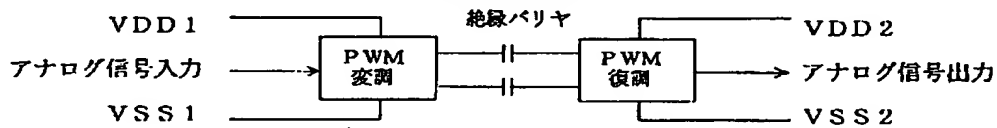
【図 18】

図 18

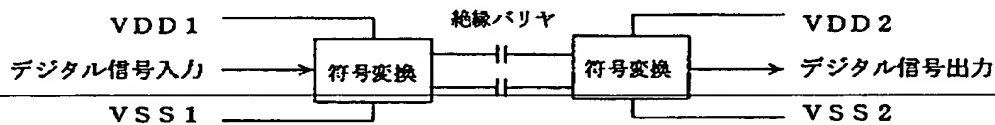
(a) 絶縁カプラ



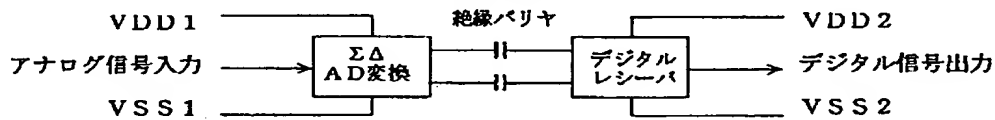
(b) PWM伝送方式



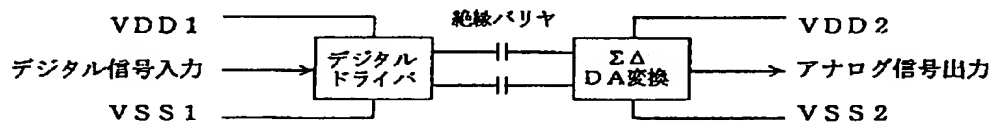
(c) デジタル伝送



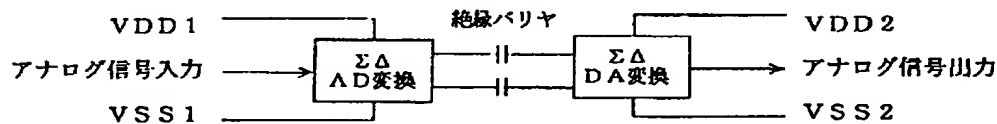
(d) AD変換



(e) DA変換

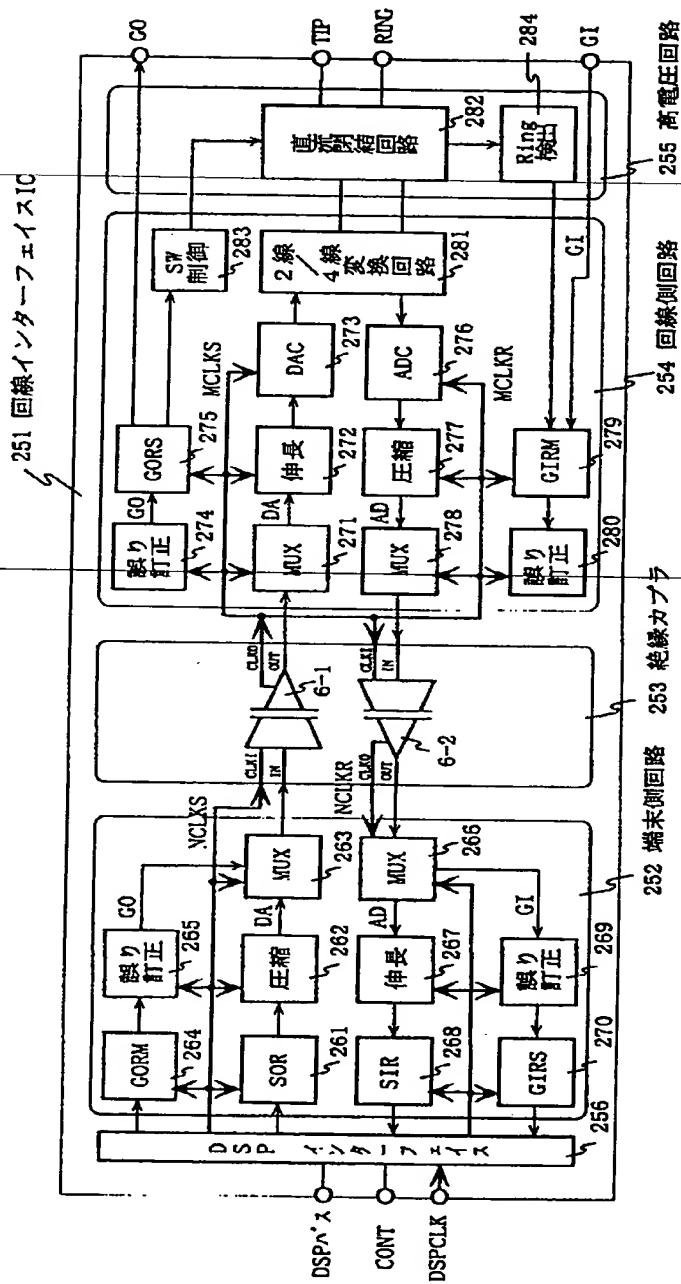


(f) デジタル伝送



【図 19】

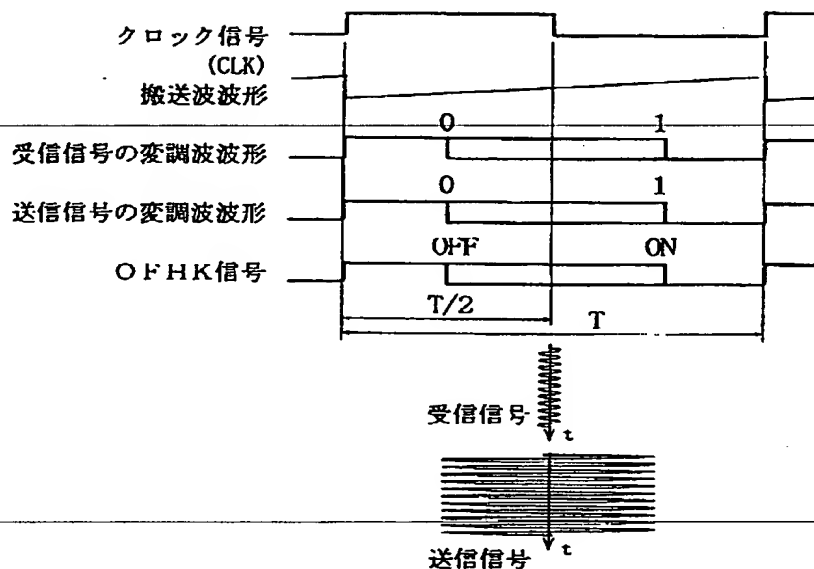
図 19



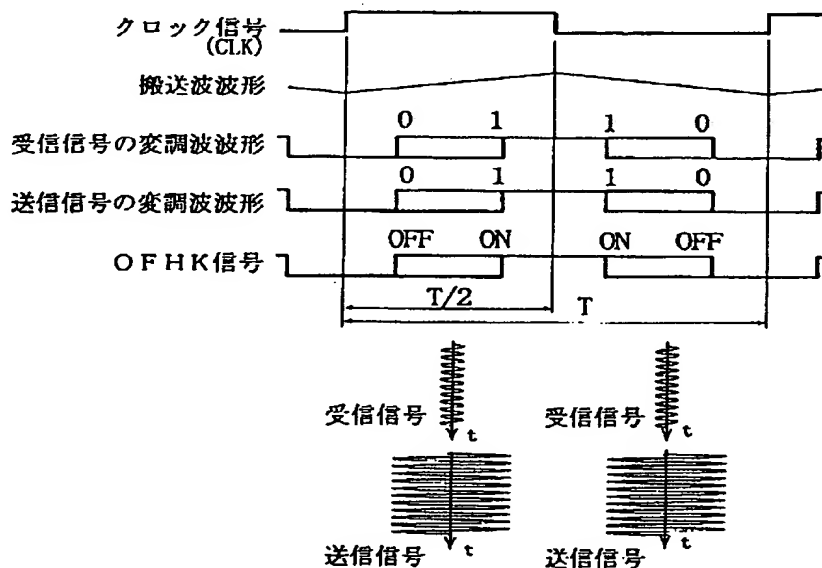
【図 20】

図 20

(a) 鋸波形搬送波 PWM のタイミング

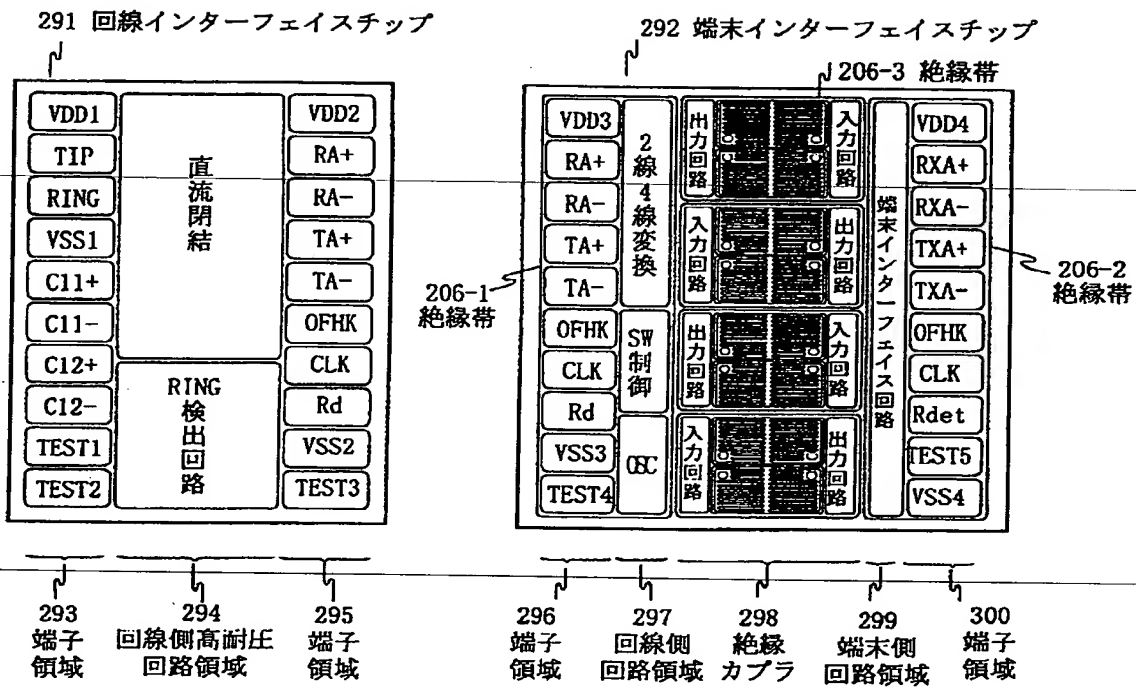


(b) 対称波形搬送波 PWM のタイミング



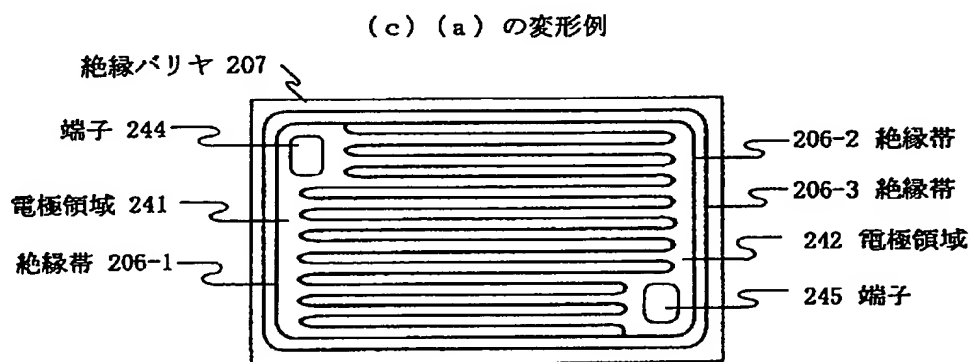
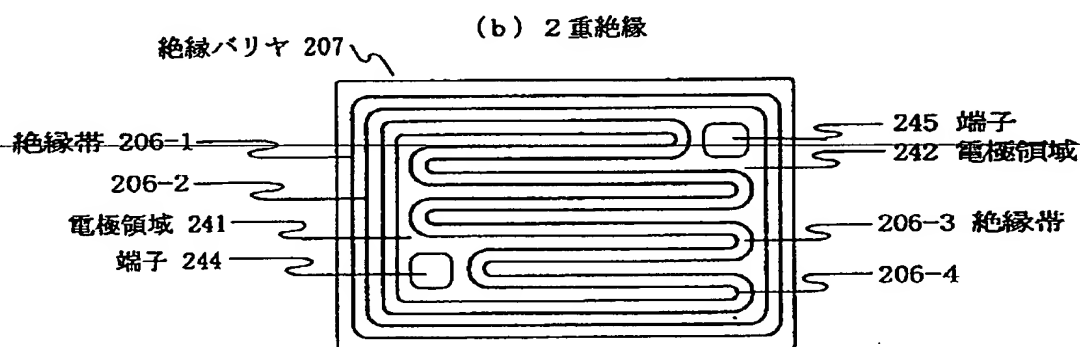
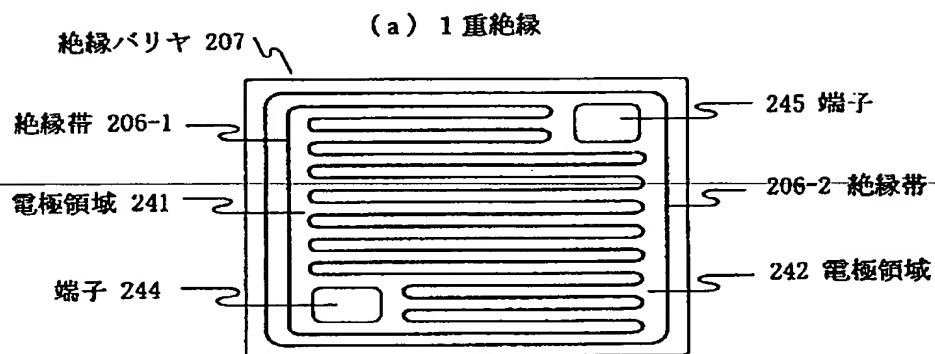
【図 21】

図 21



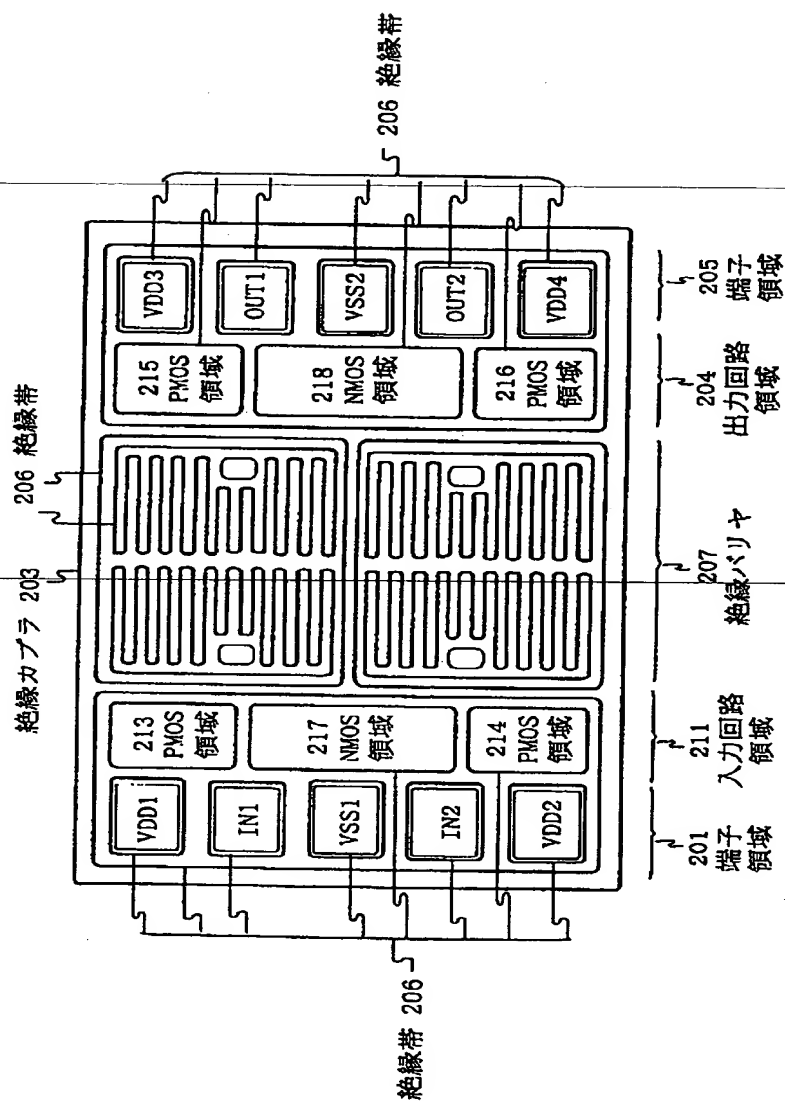
【図 22】

図 22



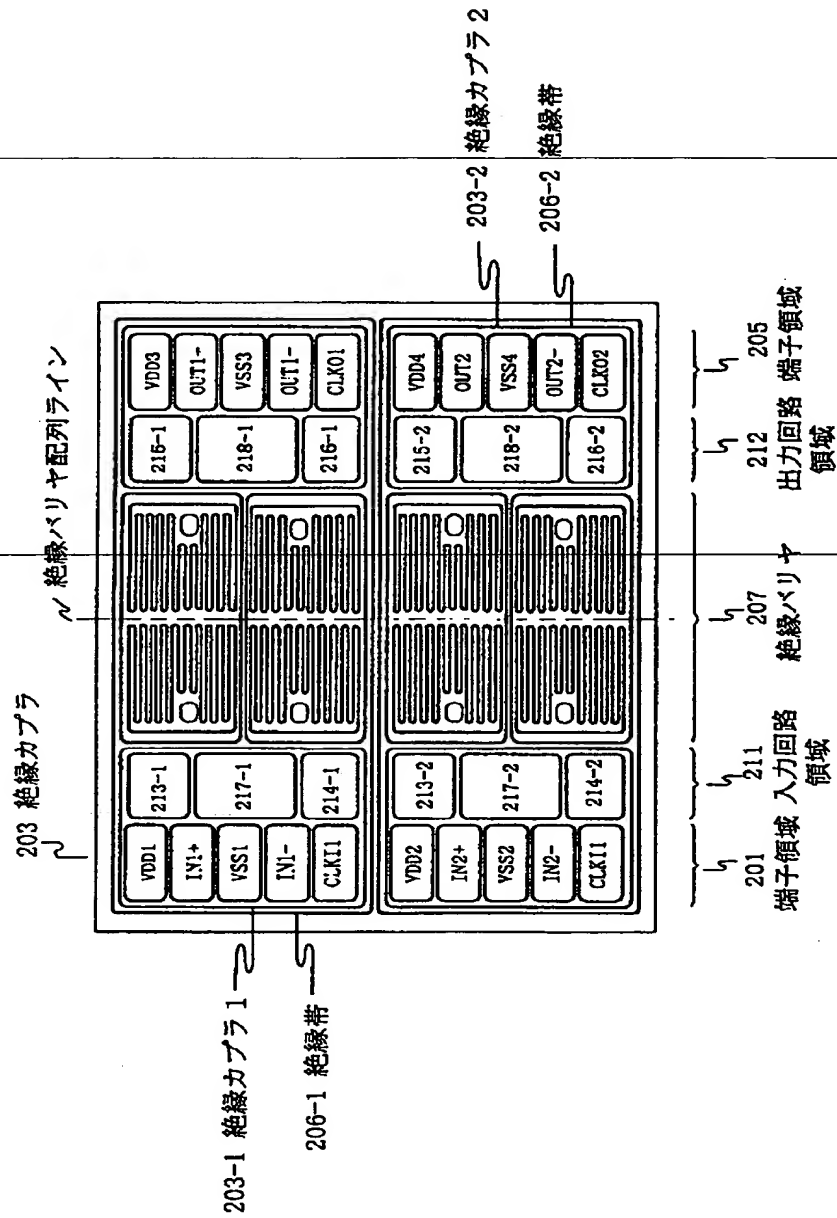
【図 23】

図 23



【図 24】

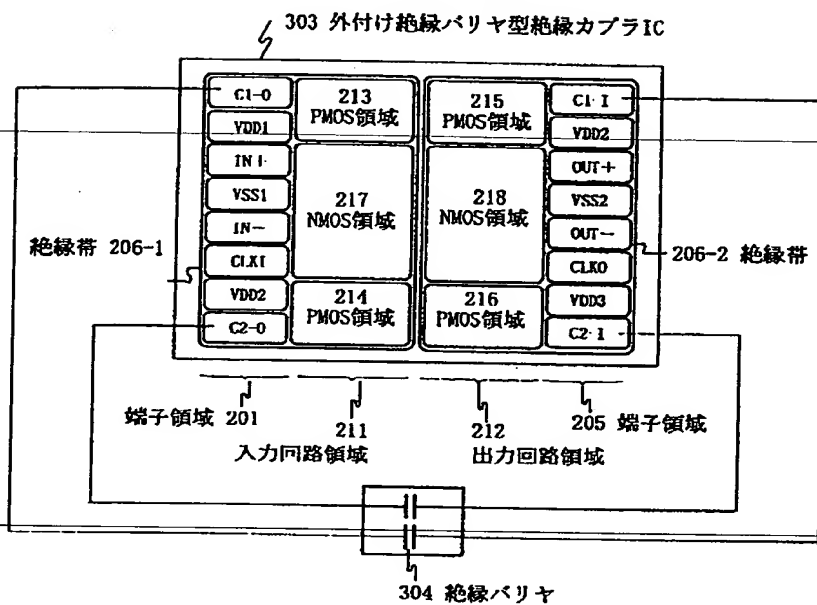
図 24



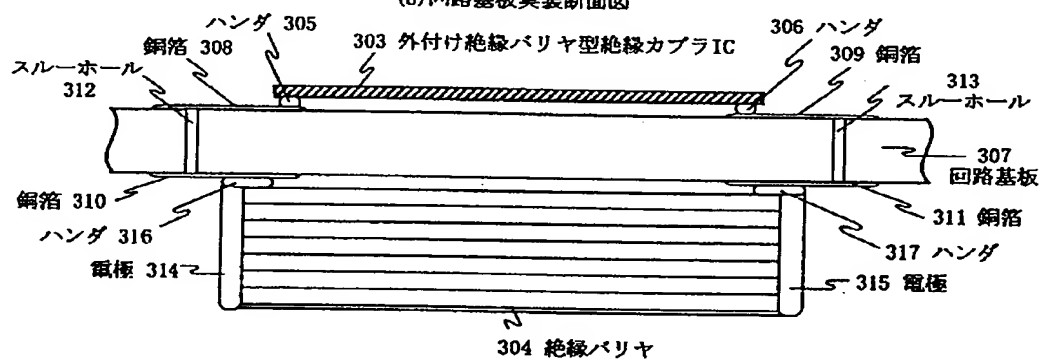
【図 25】

図 25

(a) チップレイアウト概要

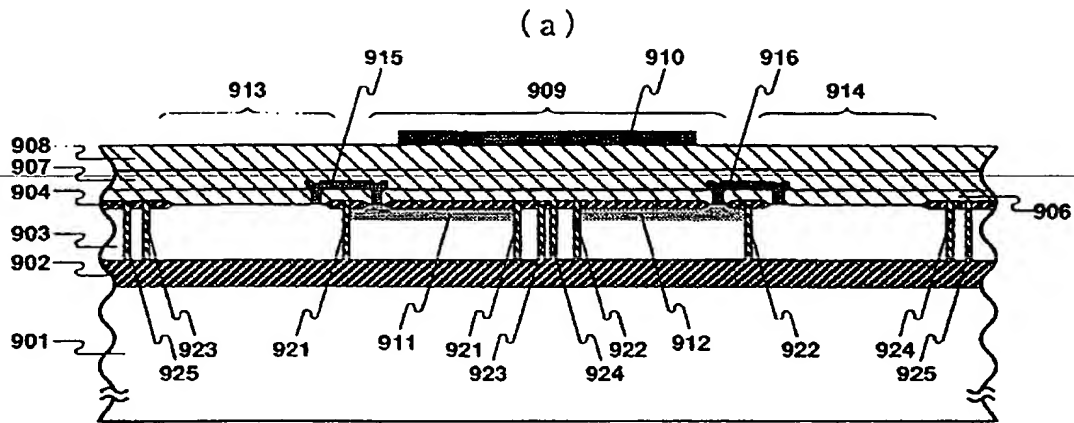


(b) 同路基板実装断面図

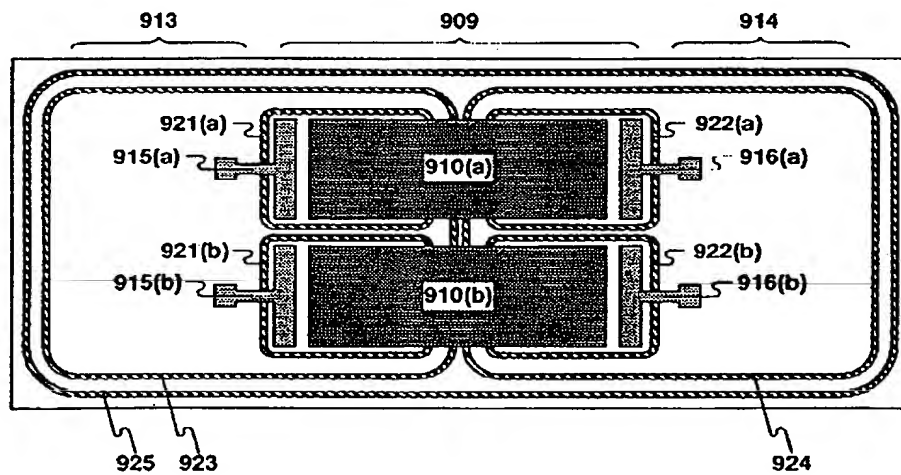


【図 26】

図 26

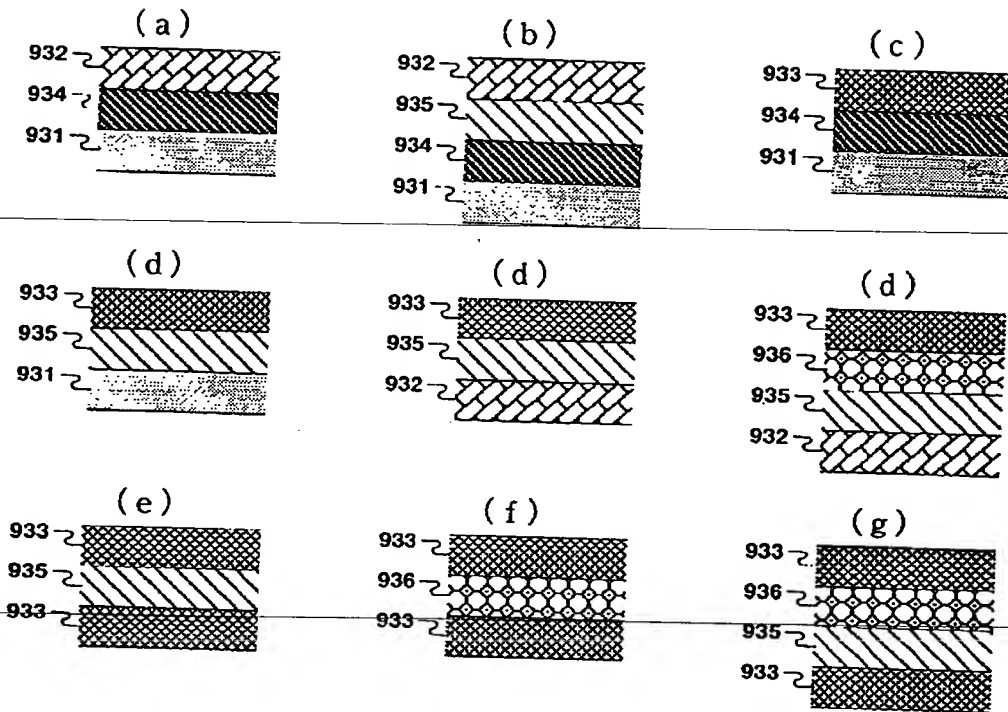


(b)



【図 27】

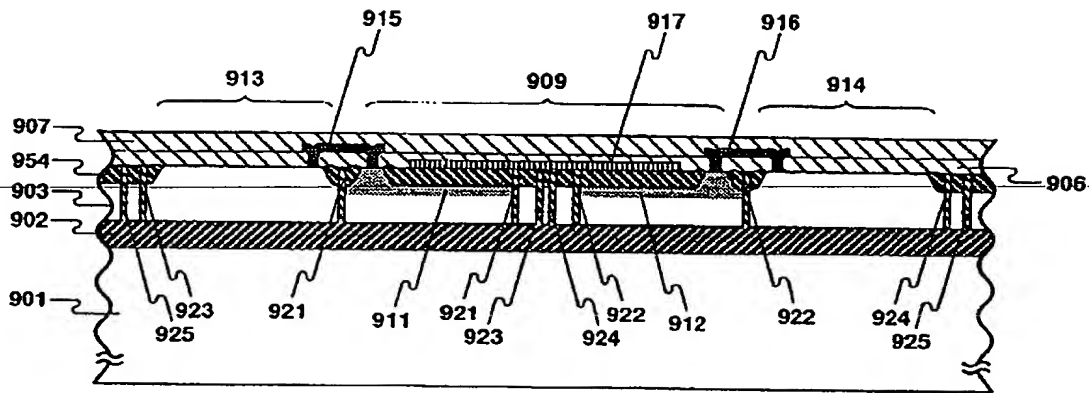
図 27



931 : 拡散層  
 932 : poly-Si層  
 933 : メタル層  
 934 : 熱酸化膜層  
 935 : CVD絶縁膜層  
 936 : 有機絶縁膜層

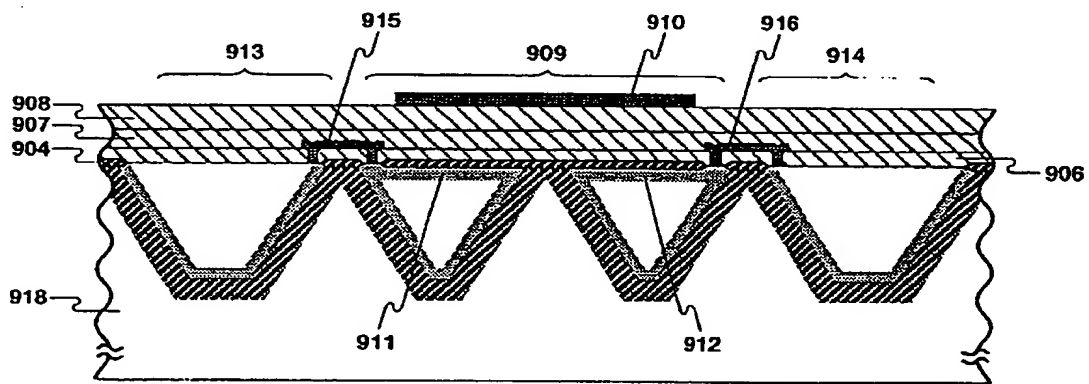
【図 28】

図 28



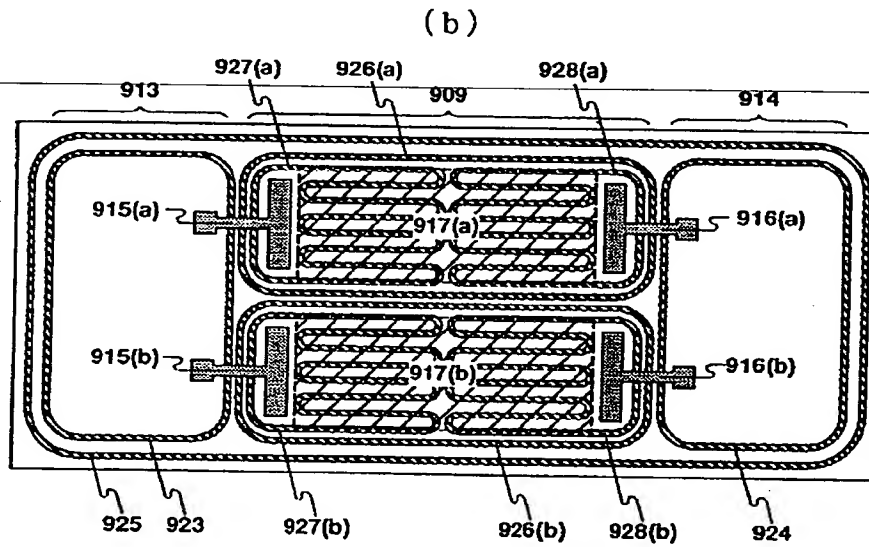
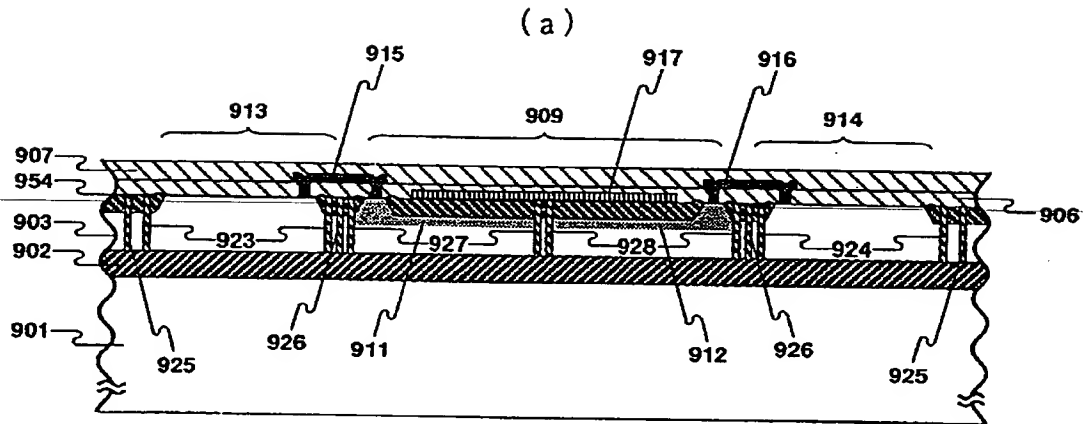
【図 29】

図 29



【図 30】

図 30



【書類名】 要約書

【要約】

【課題】

モデム等の通信システムを小型化する。

【解決手段】

モノリシックアイソレータの領域分離手段として、SOIまたはDI基板を用い、更に、高耐圧の絶縁バリヤを絶縁帯または層間絶縁膜により形成してアイソレータをモノリシック化する。

【効果】

モノリシック化されたアイソレータによりモデム装置、通信システムの小型化，低価格化が可能になる。

【選択図】 図1

特平 10-046827

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108  
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地  
【氏名又は名称】 株式会社日立製作所

---

【代理人】 申請人

【識別番号】 100068504  
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製作所 知的所有権本部内  
【氏名又は名称】 小川 勝男

---

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

**THIS PAGE BLANK (USPTO)**